

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Naoki MAKITA Serial No.: Currently unknown Filing Date: Concurrently herewith For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME	
---	--

TRANSMITTAL OF PRIORITY DOCUMENTS

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop PATENT APPLICATION
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-371422** filed **December 24, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: December 15, 2003


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月24日

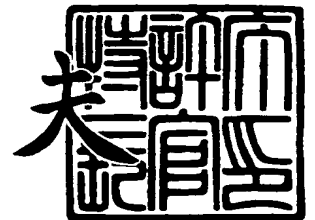
出願番号
Application Number: 特願2002-371422
[ST. 10/C]: [JP2002-371422]

出願人
Applicant(s): シャープ株式会社

2003年10月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3086270

【書類名】 特許願

【整理番号】 02J04526

【提出日】 平成14年12月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786
H01L 21/336
H01L 21/268

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 牧田 直樹

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100101683

【弁理士】

【氏名又は名称】 奥田 誠司

【手数料の表示】

【予納台帳番号】 082969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208454

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記チャンネル領域の導電性を制御するゲート電極とを有する薄膜トランジスタを備えた半導体装置であって、前記半導体層の表面は微小な凸部を有しており、前記ゲート電極の側面の傾斜角は、前記半導体層の前記凸部の傾斜角よりも大きい、半導体装置。

【請求項 2】 チャンネル領域、ソース領域、およびドレイン領域を含む半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記チャンネル領域の導電性を制御するゲート電極と、を有する薄膜トランジスタを備えた半導体装置であって、前記半導体層は微小な凸部を有しており、前記ゲート電極の断面の形状は、第 1 の階段部と前記第 1 の階段部の上に設けられた第 2 の階段部とを有しており、前記第 1 及び第 2 の階段部のそれぞれの側面の傾斜角は、前記半導体層の前記凸部の傾斜角よりも大きい、半導体装置。

【請求項 3】 前記ゲート電極は、前記ゲート絶縁膜の上に設けられた第 1 の導電膜と、前記第 1 の導電膜の上に設けられた第 2 の導電膜とを有しており、第 1 の導電膜の幅は第 2 の導電膜の幅よりも広く、前記第 1 および第 2 の導電膜はそれぞれ前記第 1 および第 2 の階段部を構成する、請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体層の表面は複数の微小な凸部を有し、前記ゲート電極の側面の傾斜角が、前記半導体層の前記複数の凸部のそれぞれの傾斜角よりも大きい、請求項 1 に記載の半導体装置。

【請求項 5】 前記半導体層の表面は複数の微小な凸部を有し、前記ゲート電極の前記第 1 及び第 2 の階段部のそれぞれの側面の傾斜角は、前記半導体層の前記複数の凸部のそれぞれの傾斜角よりも大きい、請求項 2 または 3 に記載の半導体装置。

【請求項 6】 前記ゲート電極の側面の傾斜角は、 75° 以上 90° 以下であ

る、請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】 前記半導体層の前記凸部の傾斜角は、 30° 以上 70° 以下の範囲内である、請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】 前記凸部の平均の高さは、 8 nm 以上 60 nm 以下である、請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】 前記半導体層の表面の平均面粗さは、 4 nm 以上 30 nm 以下である、請求項 1 から 8 のいずれかに記載の半導体装置。

【請求項 10】 前記半導体層は結晶質半導体膜で構成され、前記凸部は、前記半導体層に含まれる結晶粒の境界上に存在する、請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】 前記結晶粒の境界は、三つ以上の結晶の境界となる三重点以上の点である、請求項 10 に記載の半導体装置。

【請求項 12】 前記半導体層に含まれる前記結晶粒の粒径は、 100 nm 以上 1000 nm 以下である、請求項 10 または 11 に記載の半導体装置。

【請求項 13】 前記結晶粒の境界は、セコエッチング法によりエッチングされ顕在化されるものである、請求項 9 から 12 のいずれかに記載の半導体装置。

【請求項 14】 前記半導体層は熔融固化によって形成された結晶質半導体層であり、前記凸部は前記熔融固化によって形成されたものである、請求項 1 から 13 のいずれかに記載の半導体装置。

【請求項 15】 前記半導体層の少なくとも一部には、非晶質半導体膜の結晶化を促進する触媒元素が含まれている、請求項 1 から 14 のいずれかに記載の半導体装置。

【請求項 16】 前記触媒元素は、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、スズ (Sn)、鉛 (Pb)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt)、銅 (Cu)、金 (Au) から選ばれた一種または複数種の元素である、請求項 15 に記載の半導体装置。

【請求項 17】 前記半導体層は、結晶の $\langle 111 \rangle$ 晶帯面が配向した領域で主に構成されている結晶質半導体膜である、請求項 1 から 14 のいずれかに記載

の半導体装置。

【請求項 18】 前記〈111〉晶帯面が配向した領域のうちの50%以上が、(110)面配向または(211)面配向した領域である、請求項 17 に記載の半導体装置。

【請求項 19】 前記半導体層の結晶ドメインのドメイン径は2～10 μm である、請求項 1 から 14 に記載の半導体装置。

【請求項 20】 前記半導体層のチャネル領域とソース領域あるいはドレイン領域との接合部には、低濃度不純物領域を備えている、請求項 1 から 19 のいずれかに記載の半導体装置。

【請求項 21】 前記ゲート電極の前記第1の階段部は低濃度不純物領域に存在している、請求項 2 に記載の半導体装置。

【請求項 22】 前記ゲート電極は、前記チャネル領域の上方に位置しており、前記ゲート電極のうち前記第1の導電膜のみが低濃度不純物領域に存在している、請求項 3 に記載の半導体装置。

【請求項 23】 (a) 半導体膜を用意する工程と、
(b) 前記半導体膜を熔融固化させることにより、表面に凸部を有する結晶質半導体層を得る工程と、
(c) 前記結晶質半導体層上にゲート絶縁膜を形成する工程と、
(d) 前記ゲート絶縁膜上に導電膜を堆積する工程と、
(e) 前記導電膜をパターンニングし、前記チャネル領域の導電性を制御するゲート電極を形成する工程であって、前記ゲート電極の側面の傾斜角が、前記結晶質半導体層の表面の前記凸部の傾斜角よりも大きいゲート電極を形成する工程と、
を包含する半導体装置の製造方法。

【請求項 24】 前記半導体膜が非晶質半導体膜である、請求項 23 に記載の半導体装置の製造方法。

【請求項 25】 前記工程 (a) は、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜に第1の加熱処理を施すことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を用意する

工程であって、前記工程（b）は、前記結晶質領域を含む半導体膜を熔融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程である、請求項 23 に記載の半導体装置の製造方法。

【請求項 26】 前記工程（d）は、

（d-1）前記ゲート絶縁膜上に第 1 の導電膜を堆積させる工程と、

（d-2）前記第 1 の導電膜上に第 2 の導電膜を堆積させる工程と

を含む、請求項 23 から 25 のいずれかに記載の半導体装置の製造方法。

【請求項 27】 前記工程（e）は、

（e-1）第 2 の導電膜を第 1 の側面の傾斜角を有するようにエッチング加工する第 1 の工程と、

（e-2）第 1 の導電膜を第 2 の側面の傾斜角を有するようにエッチング加工する第 2 の工程と、

（e-3）第 1 の側面の傾斜角を有するようにエッチング加工された第 2 の導電膜を、さらに選択的にエッチング加工し、第 1 の側面の傾斜角よりも大きな側面の傾斜角となる第 3 の側面の傾斜角を有するようにエッチング加工する第 3 の工程と

を包含し、

前記第 2 の側面の傾斜角及び前記第 3 の側面の傾斜角がそれぞれ、前記結晶質半導体層の表面の前記凸部の傾斜角よりも大きくなるようにする、請求項 26 に記載の半導体装置の製造方法。

【請求項 28】 前記工程（e）において、前記工程（e-1）、前記工程（e-2）及び前記工程（e-3）は、エッチング装置内にて連続的に行なわれる、請求項 27 に記載の半導体装置の製造方法。

【請求項 29】 前記工程（e）において、前記工程（e-2）と前記工程（e-3）との間に、前記エッチング加工された第 2 の導電膜と、前記エッチング加工された第 1 の導電膜とをマスクとして、前記結晶質半導体層の一部に n 型あるいは p 型を付与する不純物元素をドーピングする工程を行なう、請求項 27 または 28 に記載の半導体装置の製造方法。

【請求項 30】 前記工程（e）の後に、（f）前記ゲート電極をマスクとし

て、前記島状半導体層の一部に n 型あるいは p 型を付与する不純物元素をドーピングする工程をさらに包含する、請求項 26 から 29 のいずれかに記載の半導体装置の製造方法。

【請求項 31】 前記工程 (f) は、(f-1) 前記ゲート電極の第 2 の導電膜をマスクとし、第 1 の導電膜を越して、前記ドーピングを行なう工程を包含する、請求項 30 に記載の半導体装置の製造方法。

【請求項 32】 前記工程 (f) は、
(f-1 a) 前記ゲート電極の第 2 の導電膜をマスクとし、第 1 の導電膜を越して、前記 n 型あるいは p 型を付与する不純物元素を低濃度にドーピングする工程と、

(f-2) 前記ゲート電極の第 1 の導電膜をマスクとして、前記 n 型あるいは p 型を付与する不純物元素を高濃度にドーピングする工程とを包含する、請求項 31 に記載の半導体装置の製造方法。

【請求項 33】 前記工程 (f-1 a) 及び前記工程 (f-2) は同時に実行され、前記工程 (f-1 a) の前記低濃度と、前記工程 (f-2) の前記高濃度とは、前記第 1 の導電膜の膜厚及び前記第 2 の導電膜の膜厚の合計と、前記第 1 の導電膜の膜厚とによりそれぞれ制御される、請求項 32 に記載の半導体装置の製造方法。

【請求項 34】 前記工程 (f) の後、前記ゲート電極の第 2 の導電膜をマスクとし、露呈している領域の第 1 の導電膜をエッチング除去する工程を行う、請求項 26 から 33 のいずれかに記載の半導体装置の製造方法。

【請求項 35】 前記工程 (e) は、ICP エッチング法により行なわれる、請求項 23 から 34 のいずれかに記載の半導体装置の製造方法。

【請求項 36】 前記工程 (e) は、RIE 法により行なわれる、請求項 23 から 34 のいずれかに記載の半導体装置の製造方法。

【請求項 37】 前記工程 (b) は、前記半導体膜にレーザー光を照射する工程を含む、請求項 27 から 36 のいずれかに記載の半導体装置の製造方法。

【請求項 38】 前記レーザー光を照射する工程は、パルスレーザー光を前記半導体膜の任意の一点につき、複数回、連続的に照射することにより行う、請求

項 37 に記載の半導体装置の製造方法。

【請求項 39】 前記触媒元素として、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、スズ (Sn)、鉛 (Pb)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt)、銅 (Cu)、金 (Au) から選ばれた一種または複数種の元素を用いる、請求項 25 に記載の半導体装置の製造方法。

【請求項 40】 請求項 1 から 22 のいずれかに記載の半導体装置を備えた電子機器。

【請求項 41】 前記半導体装置を用いて表示動作が実行される表示部を備えた請求項 40 に記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (Thin Film Transistor: TFT) により構成される半導体装置及びその製造方法及び半導体製造装置に関し、さらに詳しく言えば、非晶質半導体層を結晶化した結晶質半導体層を活性領域とする半導体装置およびその製造方法に関する。

【0002】

【従来技術】

近年、大型で高解像度の液晶表示装置や有機 EL 表示装置、高速で高解像度の密着型イメージセンサー、三次元 IC などへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。特に、同一基板上に画素部と駆動回路が設けられた液晶表示装置はパーソナルコンピュータ (PC) 向けのモニターとしてだけでなく、一般家庭の中に進出し始めている。例えば、CRT (Cathode-ray Tube) のかわりにテレビジョンとして液晶ディスプレイが、また、娯楽として映画を観たりゲームをしたりするためのフロントプロジェクターが、一般家庭に導入されるようになり、液晶表示装置の市場規模はかなりの勢いで大きくなってきている。さらに、ガラス基板上にメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオン

パネルの開発もさかんに進められている。

【0 0 0 3】

高解像度な画像表示を行うために画素に書き込む情報量が増え、さらにその情報は短時間で書き込まれなければ、高精細な表示のための膨大な情報量を有する画像を動画表示したりすることは不可能である。そこで、駆動回路に用いられる T F T には、高速動作が求められている。高速動作を可能にするためには、高い電界効果移動度を得られる良質な結晶性を有する結晶質半導体層を用いて T F T を実現することが求められている。

【0 0 0 4】

ガラス基板上に良好な結晶質半導体膜を得る方法としては、非晶質半導体膜を予め成膜しておき、それにエキシマレーザー等のレーザー光を照射し、瞬間的に熔融固化させることで結晶化する方法が一般的に知られている。また、それ以外には、非晶質半導体膜に結晶化を促進する作用を有する金属元素を添加した後、加熱処理を施すことにより、従来より低温・短時間の加熱処理で、結晶の配向性が揃った良好な半導体膜を得る技術も開発されている。この技術の場合でも、より結晶性を高めるために、加熱処理で得られた結晶質半導体膜に対して、さらにレーザー光を照射し、部分的に熔融固化させ再結晶化することで、結晶欠陥を低減し、より高品質な結晶質半導体膜を得るような方法がしばしば用いられる。

【0 0 0 5】

しかしながら、このようなレーザー光を照射し、非晶質半導体膜あるいは結晶質半導体膜を熔融固化させ、結晶化あるいは再結晶化を行なう方法では、半導体膜の表面に表面凹凸が生じることがわかっている。この表面凹凸は、レーザー光照射により半導体膜が一旦熔融した後、結晶核が生じ、その結晶核から順次固化する際に、熔融状態と固体状態の体積膨張率の違いにより、最後に固化が行なわれる結晶粒界面部が山脈状に盛り上がったたり、三つ以上の結晶の境界となる三重点以上の点（多重点）では山状に盛り上がったることにより形成される。本明細書では、半導体膜表面における、上記の山脈状または山状に盛り上がった部分を、「凸部」または「リッジ」と称する。リッジは、トップゲート型の薄膜トランジスタの場合、ゲート絶縁膜とのチャネル界面に存在することになるため、界

面特性や電界効果移動度の低下を引き起こす。さらには、リッジ先端部には電界が集中するため、ゲート絶縁膜の耐圧特性を低下させ、ホットキャリア耐性も含めて素子としての信頼性全般を低下させると考えられている。

【0006】

このため、半導体膜の表面凹凸・リッジを低減させる様々な方法が考えられている。特許文献1では、半導体膜を島状とし、その端部に傾斜を持たせた後、レーザー光の照射を行なうことで、半導体膜表面の凸部の形成を防ごうとしている。特許文献2では、非晶質ケイ素膜表面の自然酸化膜をドライエッチングで除去した後、真空一貫プロセスでレーザー光照射を行なっている。また、特許文献3では、レーザー光照射により凸部が生じたケイ素膜表面を酸化することにより、リッジで酸化レートが早いことを利用して、表面凹凸を低減するものである。また、特許文献4では表面研磨を用い、また、特許文献5では半導体膜表面をエッチングすることで、レーザー光照射により生じた表面凹凸の低減を図ろうとしている。

【0007】

【特許文献1】

特開平8-213637号公報

【特許文献2】

特開平10-92745号公報

【特許文献3】

特開平10-106951号公報

【特許文献4】

特開平10-200120号公報

【特許文献5】

特開平11-186552号公報

【0008】

【発明が解決しようとする課題】

特許文献1～5はいずれも、半導体膜表面のリッジを低減させるための手段を提供するものである。リッジの発生要因としては、前述のように半導体膜の溶融

固化に伴う体積膨張率の違いが関係しており、物理的に考えてもプロセス条件の変更等で改善するのは難しい。その結果、上記の特許文献に開示されたような様々な方法が考えられている。

【0009】

しかしながら、特許文献1～5に開示された方法はいずれも、工程を増加させ、製造装置を複雑化させるものであり、工程が増加することによるコスト高と歩留り低下は避けられない。また、これらの特許文献は、トップゲート型の薄膜トランジスタに対し、半導体膜表面にリッジが存在することによるチャネル界面特性や電界効果移動度の低下や、ゲート絶縁膜の耐圧特性の低下、信頼性の低下を防ぐことを目的としている。

【0010】

本発明者らが、リッジによる影響を薄膜トランジスタで量的検証したところ、前述のようなチャネル界面特性や電界効果移動度の低下や、ゲート絶縁膜の耐圧特性の低下、信頼性の低下等の問題はそれほど大きなものではないことがわかった。勿論、半導体膜表面の凹凸は小さければ小さいほど良いのは確かであるが、例えば、チャネル界面特性や電界効果移動度などは、半導体膜そのもの、すなわち結晶状態による影響が極めて大きく、それに比べてリッジによる影響は問題にならない程度であることがわかった。また、ゲート絶縁膜の耐圧特性や信頼性に関しても、そのゲート絶縁膜のバルク特性そのものやその膜厚によるところが非常に大きく、ゲート絶縁膜の膜厚が50 nm以上であれば、リッジによる影響は大きな問題とはならないことがわかった。

【0011】

ところが、ここで、今までには知られていなかった問題を見い出した。これは歩留りの問題で、量的な実験を行なわないと見つけ出すことができなかったものである。レーザー照射を行い、表面凹凸を有する半導体層を用いてトップゲート型の薄膜トランジスタを作製した場合、0.0数%から0.数%の発生確率で、図10(A)に示すような $V_g - I_d$ （ゲート電圧ードレイン電流）特性を有するTF Tが出現した。正常なTF Tにおける同様の $V_g - I_d$ 特性を図10(B)に示す。すなわち、オフ動作方向にゲート電圧をかけた際、そのゲー

ト電圧が比較的小さいところで、Xの矢印で示すようなコブ状のリーク電流異常が生じている。このコブの部分のリーク電流値は、正常TFTの同ゲート電圧でのリーク電流値に比べ、一桁から二桁大きくなっている。そして、さらにオフ動作方向にゲート電圧を大きくすると、リーク電流は正常TFTと同様のカーブに戻る。非単結晶の結晶質半導体膜によるTFTのオフ電流のメカニズムは、一般的にバンドギャップの中心付近にある結晶欠陥等によるトラップ準位を介した熱励起+トンネリングモデルで考えられているが、この場合には、ゲート電圧がオフ動作方向に大きくなればなるほどリーク電流が増加するため、このモデルでは今回のコブ状のリーク電流異常は説明できない。

【0012】

このようなオフ動作時のリーク電流の異常が起こると、例えば液晶表示装置等では、画素電極をスイッチングするTFTにおいて、画素電極に書き込まれた電荷を十分に保持することができず、点欠陥となる。また、表示部を駆動するドライバー回路においては、アナログスイッチ等のサンプリングTFTにおいて、バスラインに書き込まれた電荷を保持できず、ライン欠陥となる。その結果、製造歩留りを大きく低下させることになっている。

【0013】

本発明は、上記諸点に鑑みてなされたものであり、その目的は、TFTオフ動作時にリーク電流が増大する現象を防止することにより、信頼性の高い半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明の半導体装置は、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記チャンネル領域の導電性を制御するゲート電極とを有する薄膜トランジスタを備えた半導体装置であって、前記半導体層の表面は微小な凸部を有しており、前記ゲート電極の側面の傾斜角は、前記半導体層の前記凸部の傾斜角よりも大きいことを特徴とし、そのことにより上記目的が達成される。

【0015】

本発明の他の半導体装置は、チャネル領域、ソース領域、およびドレイン領域を含む半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記チャネル領域の導電性を制御するゲート電極と、を有する薄膜トランジスタを備えた半導体装置であって、前記半導体層は微小な凸部を有しており、前記ゲート電極の断面の形状は、第1の階段部と前記第1の階段部の上に設けられた第2の階段部とを有しており、前記第1及び第2の階段部のそれぞれの側面の傾斜角は、前記半導体層の前記凸部の傾斜角よりも大きいことを特徴とし、そのことにより上記目的が達成される。

【0016】

ある好ましい実施形態において、前記ゲート電極は、前記ゲート絶縁膜の上に設けられた第1の導電膜と、前記第1の導電膜の上に設けられた第2の導電膜とを有しており、第1の導電膜の幅（ゲート長）は第2の導電膜の幅（ゲート長）よりも広く、前記第1および第2の導電膜はそれぞれ前記第1および第2の階段部を構成する。

【0017】

前記半導体層の表面は複数の山状の微小な凸部を有し、前記ゲート電極の側面の傾斜角が、前記半導体層の前記複数の凸部のそれぞれの傾斜角よりも大きいことが好ましい。あるいは、前記半導体層の表面は複数の山状の微小な凸部を有し、前記ゲート電極の前記第1及び第2の階段部のそれぞれの側面の傾斜角は、前記半導体層の前記複数の凸部のそれぞれの傾斜角よりも大きいことが好ましい。

【0018】

前記ゲート電極の前記側面の傾斜角は、 75° 以上 90° 以下であることが好ましい。

【0019】

前記半導体層の前記凸部の傾斜角は、 30° 以上 70° 以下の範囲内であることが好ましい。また、前記凸部の平均の高さは、 8 nm 以上 60 nm 以下であることが好ましい。前記半導体層の表面の平均粗さ（ R_a ）は、好ましくは、 4 nm 以上 30 nm 以下である。

【0020】

前記半導体層は結晶質半導体膜で構成され、前記凸部は、典型的には前記半導体層に含まれる結晶粒の境界上に存在する。

【0021】

前記結晶粒の境界は、三つ以上の結晶の境界となる三重点以上の点（多重点）であつてもよい。

【0022】

前記半導体層に含まれる前記結晶粒の粒径は、100 nm以上1000 nm以下であることが好ましい。

【0023】

前記結晶粒の境界は、典型的にはセコエッチング法によりエッチングされ顕在化されるものである。

【0024】

ある好ましい実施形態において、前記半導体層は溶融固化された層であり、前記凸部は前記溶融固化によって形成されたものである。

【0025】

ある好ましい実施形態において、前記半導体層の少なくとも一部には、非晶質半導体膜の結晶化を促進する触媒元素が含まれている。前記触媒元素は、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、スズ（Sn）、鉛（Pb）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）、金（Au）から選ばれた一種または複数種の元素であつてもよい。

【0026】

ある好ましい実施形態において、前記半導体層は、結晶の〈111〉晶帯面が配向した領域で主に構成されている結晶質半導体膜である。前記〈111〉晶帯面が配向した領域のうちの50%以上が、（110）面配向または（211）面配向した領域であることが好ましい。

【0027】

前記半導体層の結晶ドメイン（ほぼ同一の面方位領域）のドメイン径は2～10 μmであることが好ましい。

【0028】

ある好ましい実施形態において、前記半導体層のチャネル領域とソース領域あるいはドレイン領域との接合部には、低濃度不純物領域を備えている。

【0029】

前記ゲート電極の前記第1の階段部は低濃度不純物領域に存在していることが好ましい。あるいは、前記ゲート電極は、前記チャネル領域の上方に位置しており、前記ゲート電極のうち前記第1の導電膜のみが低濃度不純物領域に存在していることが好ましい。

【0030】

本発明の半導体装置の製造方法は、(a) 半導体膜を用意する工程と、(b) 前記半導体膜を熔融固化させることにより、表面に凸部を有する結晶質半導体層を得る工程と、(c) 前記結晶質半導体層上にゲート絶縁膜を形成する工程と、(d) 前記ゲート絶縁膜上に導電膜を堆積する工程と、(e) 前記導電膜をパターニングし、前記チャネル領域の導電性を制御するゲート電極を形成する工程であって、前記ゲート電極の側面の傾斜角が、前記結晶質半導体層の表面の前記凸部の傾斜角よりも大きいゲート電極を形成する工程とを包含することを特徴とし、そのことにより上記目的が達成される。

【0031】

ある好ましい実施形態において、前記半導体膜が非晶質半導体膜である。

【0032】

ある好ましい実施形態において、前記工程(a)は、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜に第1の加熱処理を施すことにより、前記非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を用意する工程であって、前記工程(b)は、前記結晶質領域を含む半導体膜を熔融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程である。

【0033】

ある好ましい実施形態において、前記工程(d)は、(d-1) 前記ゲート絶縁膜上に第1の導電膜を堆積させる工程と、(d-2) 前記第1の導電膜上に第

2の導電膜を堆積させる工程とを含む。

【0034】

前記工程(e)は、(e-1)第2の導電膜を第1の側面の傾斜角を有するよう
にエッチング加工する第1の工程と、(e-2)第1の導電膜を第2の側面の
傾斜角を有するよう
にエッチング加工する第2の工程と、(e-3)第1の側面
の傾斜角を有するよう
にエッチング加工された第2の導電膜を、さらに選択的に
エッチング加工し、第1の側面の傾斜角よりも大きな側面の傾斜角となる第3の
側面の傾斜角を有するよう
にエッチング加工する第3の工程とを包含し、前記第
2の側面の傾斜角及び前記第3の側面の傾斜角がそれぞれ、前記結晶質半導体層
の表面の前記凸部の傾斜角よりも大きくなるようにすることができる。

【0035】

前記工程(e)において、前記工程(e-1)、前記工程(e-2)及び前記
工程(e-3)は、エッチング装置内にて連続的に行なわれることが好ましい。

【0036】

前記工程(e)において、前記工程(e-2)と前記工程(e-3)との間に
、前記エッチング加工された第2の導電膜と、前記エッチング加工された第1の
導電膜とをマスクとして、前記結晶質半導体層の一部にn型あるいはp型を付与
する不純物元素をドーピングする工程を行なってもよい。

【0037】

前記工程(e)の後に、(f)前記ゲート電極をマスクとして、前記島状半導
体層の一部にn型あるいはp型を付与する不純物元素をドーピングする工程をさ
らに包含してもよい。

【0038】

前記工程(f)は、(f-1)前記ゲート電極の第2の導電膜をマスクとし、
第1の導電膜を越して、前記ドーピングを行なう工程を包含することが好ましい
。

【0039】

前記工程(f)は、(f-1a)前記ゲート電極の第2の導電膜をマスクとし
、第1の導電膜を越して、前記n型あるいはp型を付与する不純物元素を低濃度

にドーピングする工程と、(f-2) 前記ゲート電極の第1の導電膜をマスクとして、前記n型あるいはp型を付与する不純物元素を高濃度にドーピングする工程とを包含することができる。

【0040】

前記工程(f-1a)及び前記工程(f-2)は同時に実行してもよく、その場合は、前記工程(f-1a)の前記低濃度と、前記工程(f-2)の前記高濃度とは、前記第1の導電膜の膜厚及び前記第2の導電膜の膜厚の合計と、前記第1の導電膜の膜厚とによりそれぞれ制御することができる。

【0041】

前記工程(f)の後、前記ゲート電極の第2の導電膜をマスクとし、露呈している領域の第1の導電膜をエッチング除去する工程を行ってもよい。

【0042】

前記工程(e)は、ICPエッチング法により行なわれてもよい。あるいは、前記工程(e)は、RIE法により行なわれてもよい。

【0043】

ある好ましい実施形態において、前記工程(b)は、前記半導体膜にレーザー光を照射する工程を含む。前記レーザー光を照射する工程は、パルスレーザー光を前記半導体膜の任意の一点につき、複数回、連続的に照射することにより行うことが好ましい。

【0044】

前記触媒元素として、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、スズ(Sn)、鉛(Pb)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)から選ばれた一種または複数種の元素を用いることができる。

【0045】

本発明の電子機器は、上記のいずれかの半導体装置を備えたことを特徴とし、そのことにより上記目的が達成される。

【0046】

ある好ましい実施形態において、前記半導体装置を用いて表示動作が実行され

る表示部を備えている。

【0047】

【発明の実施の形態】

本発明者は、前述の図10（A）に示すようなTF Tのオフ動作時におけるコブ状のリーク電流について、その発生のメカニズムと発生原因とを詳細に検討した。その結果、リーク電流は半導体層表面のリッジによって引き起こされることをつきとめ、本発明に想到した。今まで、半導体層表面の凹凸・リッジについては、前述のように、オン特性の低下やゲート絶縁膜の耐压特性や信頼性の低下などに影響するといった報告はあるが、オフ動作時のリーク電流に影響するといった報告は過去には無い。

【0048】

以下に、本発明者による上記コブ状のリーク電流の原因解明プロセス、結果、及び本発明の実施形態を説明する。

【0049】

図11は、表面に凸部を有する半導体層を有するトップゲート型TF Tのソース・ドレイン接合部近傍の断面を示す模式図である。図11では、半導体層71の上にゲート絶縁膜72が設けられ、さらにその上にゲート電極73が設けられている。半導体層71の表面には、レーザー照射による熔融固化過程で形成されたリッジ74a及び75bが存在する。ゲート絶縁膜72は、リッジを有する半導体層を覆うように成膜されるため、リッジ74上部もほぼ同様の膜厚で形成され、ゲート絶縁膜表面も同様の表面凹凸が転写されたような状態となる。ゲート絶縁膜はリッジ上部で極端に薄くなるような状態ではないため、先ほど述べたようにリッジが存在してもゲート絶縁膜の耐压特性をそれほど大きく損ねるものではない。ゲート絶縁膜72上部にはゲート電極73が形成されている。ゲート電極73の側面77は傾斜している。ゲート電極の側面77とゲート電極の底面78とのなす角度75（「側面の傾斜角」と称する）は小さい方が良くとされている。ゲート電極73の側面の傾斜角75が小さければ、その上層に形成される配線がゲート電極の段差を乗り越える際の段切れを防ぐことができる。加えて、上層の絶縁膜のカバレッジ（段差被覆性）が向上するため、段差部でのリークを防

ることができる。上記のような理由から、従来はゲート電極の側面の傾斜は緩やかであることが好ましいと考えられていた。

【0050】

そして、このような状態で、Nチャネル型TF TではN型を付与する不純物元素76、Pチャネル型TF TではP型を付与する不純物元素の注入を、ゲート電極73をマスクとして自己整合的に行なう。画素TF Tなど、特にオフ電流の抑制が要求されるTF Tでは、この不純物注入工程は低濃度で行なわれることもある。このとき、ゲート電極73におけるテーパ部73 tは、エッチング工程により、リッジ形状に対する追従性が薄れている。ここで、「ゲート電極のテーパ部73 t」とは、ゲート電極73のうち、エッチングにより傾斜した側面77と底面78とに挟まれた部分を意味する。したがって、このテーパ部73 tの下に、たまたま大きなリッジ74 a（例えば、リッジの高さ40 nm以上）があれば、図11のように、その上のゲート電極のテーパ部73 tの厚さは小さくなり、場合によっては、ゲート電極が一部消失し、リッジの上でゲート絶縁膜が露呈しているような状態もSEM観察で確認されている。

【0051】

このような状態で例えばN型を付与する不純物元素の注入を行なうと、本来、ゲート電極73にマスクされドーピングされてはいけな領域である、ゲート電極テーパ部73 tの下方にあるリッジ74 aに微量のN型不純物が注入されてしまう。その結果、半導体層71において、ゲート電極73下部のチャネル形成領域において、リッジ74 aのみがN型化される。チャネル形成領域内の一部がN型化すると、それが寄生トランジスタとして作用する。すなわち、リッジがN型化した寄生トランジスタとして作用し、図12（B）に示すような $V_g - I_d$ 特性を有する。これに対して、正常部での $V_g - I_d$ 特性は図12（A）である。リッジ74 aは、そのTF Tのチャネル領域全体に比べて、非常に小さな面積のため、その寄生トランジスタにおける I_d 電流は、図12（B）のように、その面積比程度の割合で小さくなる。また、N型化しているため、正常なTF Tに比べ、マイナス方向にシフトした特性となっている。このシフトの量は、リッジ（寄生トランジスタ部）に注入されるN型不純物の濃度によって異なり、濃度が

高いほどマイナス方向に大きくシフトするようになる。そして、最終的に得られる $V_g - I_d$ 特性は、これらの2つのカーブを重ね合わせたような状態となり、ゲート電圧の絶対値が小さいオフ領域で、リッジ74a部の寄生トランジスタのみがオン動作した状態となり、図12(C)に示すように、リーク電流がコブ状に振舞うようになる訳である。

【0052】

以上が、本発明者らが究明した前記コブ状のリーク電流の発生メカニズムであり、図11、図12においてはNチャネル型TFETで説明を行なったが、Pチャネル型TFETでも同様の現象が生じる。すなわち、Pチャネル型TFETの場合は、リッジ74aにP型を付与する不純物元素が注入され、その領域がプラス方向にシフトした寄生トランジスタとして振舞うために、同様にオフ動作時（ゲート電圧がプラス）において、寄生トランジスタのみがオン状態となり、コブ状のリーク電流が発生する。

【0053】

本発明は、工程や製造装置を複雑化したり、高コスト化を招いたりすることなく、簡易な手段で、以上の問題点・課題を解決するために成されたものである。以下に、本発明による半導体装置及びその製造方法の実施形態を詳述する。

【0054】

本発明の半導体装置は、チャネル領域、ソース領域およびドレイン領域を含む、表面に凸部を有する半導体層と、半導体層上に設けられたゲート絶縁膜と、チャネル領域の導電性を制御するゲート電極とを有する薄膜トランジスタを備えている。ゲート電極の側面の傾斜角は、半導体層の表面の凸部の傾斜角よりも大きく構成されていることを特徴としている。典型的には、半導体層の表面には複数の山状の凸部が存在しており、ゲート電極の側面の傾斜角が、半導体層の個々の山状の凸部の傾斜角よりも大きく構成されている。

【0055】

このような構成とすることにより、半導体層表面に凹凸が存在しても、ゲート電極のテーパ部分の下方において、前述のような寄生トランジスタが形成されるのを防止し、オフ動作時におけるコブ状のリーク電流不良を防ぐことができる。

【0056】

ある好ましい実施形態において、半導体装置は、チャネル領域、ソース領域、およびドレイン領域を含む、表面に凸部を有する半導体層と、半導体層上に設けられたゲート絶縁膜と、前記チャネル形成領域の導電性を制御するゲート電極とを有する薄膜トランジスタを備えており、ゲート電極は階段状の断面形状を有し、それぞれの階段部におけるその側面の傾斜角は、半導体層の表面の凸部の傾斜角よりも大きく構成されている。典型的には、半導体層の表面には複数の山状の凸部が存在しており、階段状の断面形状を有するゲート電極のそれぞれの階段部（例えば、一番下にある階段部）における側面の傾斜角は、半導体層の表面の個々の山状の凸部の傾斜角よりも大きく構成されている。

【0057】

ゲート電極は、二層の異なる導電膜の積層構造を有していても良い。この場合、下層の導電膜の幅（ゲート長）は上層の導電膜の幅（ゲート長）よりも広く、下層および上層の導電膜におけるそれぞれの側面の傾斜角は、半導体層の表面の凸部の傾斜角よりも大きく構成される。典型的には、半導体層の表面は複数の山状の凸部を有しており、二層の異なる導電膜の積層構造を有するゲート電極の下層および上層の導電膜におけるそれぞれの側面の傾斜角は、半導体層の個々の山状の凸部の傾斜角よりも大きく構成されている。

【0058】

このような構成とすることにより、階段状あるいは積層構造のゲート電極を有するTFETに対しても、半導体層の表面に凸部が存在しているにもかかわらず、ゲート電極のテーパー部において、前述のような寄生トランジスタが形成されるのを防止し、オフ動作時におけるコブ状のリーク電流不良を防ぐことができる。

【0059】

ゲート電極の側面の傾斜角は、 75° 以上 90° 以下であることが好ましい。側面の傾斜角を 75° 以上とすると、より確実にリーク電流不良を防止できる。また、側面の傾斜角を 90° 以下とすると、上層の絶縁膜によってゲート電極の側面全体が十分被膜されるので、ゲート電極の側面のうちゲート電極の影となり被覆されない領域が生じにくくなる。このため、そのようなゲート電極の側面の

被覆されない領域からのリークを抑制できる。

【0060】

半導体層のチャネル領域とソース領域あるいはドレイン領域との接合部には、低濃度不純物領域（LDD領域）を備えていることが好ましい。また、ゲート電極が階段状の断面形状を有する場合、下方に位置する一部の階段部（例えば、一番下にある階段部）は、半導体層の低濃度不純物領域（LDD領域）に設けられていることが好ましい。あるいは、半導体層において、その上層に、二層の異なる導電膜の積層構造から成るゲート電極の下層および上層の導電膜が存在している領域は、チャネル領域であり、下層の導電膜のみが存在している領域は低濃度不純物領域（LDD領域）であることが好ましい。

【0061】

ゲート電極を前述のような階段状あるいは積層構成とすることにより、チャネル領域とソース領域あるいはドレイン領域との接合部に、自己整合的に形成されたLDD領域を有する構造とすることができる。LDD領域は、TFTのオフ電流を下げる目的やホットキャリア耐性を高めるために設けられ、信頼性を向上させる手段であるが、この領域の長さが変動すると、素子としての信頼性がばらつくだけでなく、それが寄生抵抗となり、オン特性までもがばらつく。以上のようなゲート電極の構成とし、そのゲート電極の階段部あるいは積層構造では下層の導電膜のみが存在している下部をLDD領域とすることで、一定のLDD領域を安定して得ることができる。

【0062】

半導体層の表面の凸部は、通常、半導体層における結晶粒界上に存在する。典型的には、半導体層の凸部は、半導体層において、3つ以上の結晶粒の境界となる三重点以上の点（多重点）に存在する。このような凸部は、非結晶半導体膜を溶融固化して結晶質の半導体膜を得る工程で生じたものである。溶融固化工程では、半導体膜の液体時と固体時の体積膨張率の差が、最後に固化される結晶粒界部に集中するため、結晶粒界部が線状に盛り上がり、凸部となる。ここで、「結晶粒界」とは、セコエッチング法によりエッチングされ顕在化されるものを示している。セコエッチング法とは、ニクロム酸カリウムをフッ化水素酸の混合溶液

により、結晶粒界などの結晶性が悪い部分を選択的にエッチングする方法である。

【0063】

半導体層の表面における凸部の傾斜角は、半導体層の断面において、半導体層の表面をベースラインとして、凸部の頂点の高さに対して、その半分の高さとなる点で接線を引き、その接線がベースラインと交差する角度で定義される値である。半導体層 81 表面のリッジ（凸部） 82 について、具体的に説明する。図 13（B）に示すように、半導体層の平坦な面（凹部）に沿ってベースライン 83 を引く。ベースライン 83 に対する凸部の頂点 84 の高さの半分の高さとなる点 85 における凸部の接線 86 と、ベースライン 83 とがなす角度 87 が、半導体層の凸部（リッジ）の傾斜角である。

【0064】

本実施形態において、上記半導体装置は、非晶質半導体膜を用意する工程と、非晶質半導体膜を熔融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程と、半導体膜をパターンニングすることにより、表面に凸部を有する結晶質領域を備えた島状半導体層を形成する工程と、島状半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に導電膜を堆積させる工程と、導電膜をパターンニング／エッチングし、チャネル形成領域の導電性を制御するゲート電極を形成する際、ゲート電極の側面の傾斜角が、島状半導体層の表面の凸部の傾斜角よりも大きくなるようにゲート電極を形成する工程、ゲート電極をマスクとして、島状半導体層の一部に n 型あるいは p 型を付与する不純物元素をドーピングする工程とによって製造される。このように製造することで、半導体層表面に凹凸が存在しても、ゲート電極のテーパー部の下方において、半導体層のリッジ（凸部）に不純物がドーピングされるのを防ぐことができ、前述のような寄生トランジスタが形成されるのを防止することができる。その結果、上述したような半導体装置構成が得られ、オフ動作時におけるコブ状のリーク電流不良を防ぐことができる。

【0065】

また、ある好ましい実施形態において、上記半導体装置は、結晶化を促進する

触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、結晶質領域を含む半導体膜を熔融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程と、半導体膜をパターンニングすることにより、表面に凸部を有する結晶質領域を備えた島状半導体層を形成する工程と、島状半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に導電膜を堆積させる工程と、導電膜をパターンニング／エッチングし、チャンネル領域の導電性を制御するゲート電極を形成する際、ゲート電極の側面の傾斜角が、島状半導体層の表面の凸部の傾斜角よりも大きくなるようにゲート電極を形成する工程と、ゲート電極をマスクとして、島状半導体層の一部にn型あるいはp型を付与する不純物元素をドーピングする工程とによって製造される。このように製造することで、前述のように、ゲート電極のテーパー部の下方において、半導体層のリッジ（凸部）に不純物がドーピングされるのを防ぎ、寄生トランジスタが形成されるのを防止することができる、本発明の目的が達成される。

【0066】

加えて、上記製造方法では、結晶化を促進する触媒元素を用い、加熱処理により結晶化された結晶質半導体膜に対して、熔融固化を行なうことで、面方位の揃ったより良好な結晶質半導体膜を得ることができる。この場合、先ほどのように非晶質半導体膜を直接熔融固化し、結晶化する方法に比べて、薄膜トランジスタの電界効果移動度で2倍以上の高い電流駆動能力が得られる。しかしながら、この場合には、触媒元素として用いる金属元素の半導体への悪影響が懸念される。そのため、このような製造方法を用いた場合には、結晶成長させた後、触媒元素を、チャンネル領域やチャンネル領域とソース・ドレイン領域との接合部近傍から取り除く（移動させる）手法が採られる。本発明者らは、この工程をゲッターリングと称している。これらの触媒元素は、n型を付与する5族Bに属する元素（例えばリン）や、p型を付与する3族B元素（例えばホウ素）が存在している領域に集まり易いという性質があり、それらの元素が導入された領域（ゲッターリング領域）を形成し、そこに触媒元素を移動させるという手法が用いられる。

【0067】

しかしながら、半導体層表面に凹凸が存在し、ゲート電極のテーパー部下層において、そのリッジに n 型あるいは p 型を付与する不純物元素が一部ドーピングされたような状態であると、触媒元素は、ゲッタリング領域でなく、そこに集まることになる。したがって、前述のように寄生トランジスタが形成される問題に加えて、さらにその部分に触媒元素がトラップされ偏析し、TFT オフ動作時のリーク電流が増加するといった問題が発生する。ゲート電極のテーパー部下部は、ちょうどチャネル形成領域とソース・ドレイン領域との接合部であり、最も電界集中が生じる領域である。ここに触媒元素の偏析が生じると、それをリークパスとして、リーク電流の増大が起こる訳である。本発明は、ゲート電極のテーパー部において、半導体層のリッジに不純物元素がドーピングされるのを防ぐものであるため、従来触媒元素を用いた際に問題となっていたリッジにおける触媒元素の偏析も同時に低減することができる。よって、本実施形態では、触媒元素による結晶化方法を用いた際、前述の寄生トランジスタが形成されるのを防止する効果に加えて、さらなる新たな効果が得られる。

【0068】

他の好ましい実施形態において、上記半導体装置は、非晶質半導体膜を用意する工程と、前記非晶質半導体膜を溶融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程と、半導体膜をパターニングすることにより、表面に凸部を有する結晶質領域を備えた島状半導体層を形成する工程と、島状半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に第 1 の導電膜を堆積させる工程と、第 1 の導電膜上に第 2 の導電膜を堆積させる工程と、第 1 の導電膜と第 2 の導電膜をパターニング／エッチングし、第 1 の導電膜よりも第 2 の導電膜の方が幅が狭くなるような階段状で積層構造となるゲート電極を形成する際、ゲート電極における第 1 の導電膜および第 2 の導電膜の側面の傾斜角が、島状半導体層の表面の凸部に傾斜角よりも大きくなるようにする工程と、ゲート電極をマスクとして、島状半導体層の一部に n 型あるいは p 型を付与する不純物元素をドーピングする工程とによって製造される。

【0069】

ここで、表面に凸部を有する結晶質領域を含む半導体膜を得る工程を、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、非晶質半導体膜に対して第1の加熱処理を行うことにより、非晶質半導体膜の少なくとも一部を結晶化し、結晶質領域を含む半導体膜を得る工程と、結晶質領域を含む半導体膜を溶融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程により行なってもよい。

【0070】

このような方法を用いることにより、前述のように、ゲート電極のテーパ部の方において、半導体層のリッジ（凸部）に不純物がドーピングされるのを防ぎ、寄生トランジスタが形成されるのを防止することができ、本発明の目的が達成される。また、触媒元素を用い結晶化を行なった場合には、さらにリッジにおける触媒元素の偏析も同時に低減することができる。このような効果に加えて、ゲート電極を第1の導電膜と第2の導電膜の積層階段状構造となるように構成することにより、ドーピングの際にLDD領域（低濃度不純物領域）をゲート電極に対して自己整合的に形成できるようになる。その結果、信頼性の向上あるいはオフ電流の低減に加え、半導体素子としてのサイズの縮小化が図れ、集積度を高めることができる。

【0071】

ここで、第1の導電膜と第2の導電膜をパターニング／エッチングし、第1の導電膜よりも第2の導電膜の方が幅が狭くなるような階段状で積層構造となるゲート電極を形成する際、ゲート電極における第1の導電膜および第2の導電膜の側面の傾斜角が、島状半導体層の表面の凸部の傾斜角よりも大きくなるようにする工程は、第2の導電膜を第1の側面の傾斜角を有するようにエッチング加工する工程と、第1の導電膜を第2の側面の傾斜角を有するようにエッチング加工する工程と、第1の側面の傾斜角を有するようにエッチング加工された第2の導電膜を、さらに選択的にエッチング加工し、第1の側面の傾斜角よりも大きな側面の傾斜角となる第3の側面の傾斜角を有するようにエッチング加工する工程とを含み、第2の側面の傾斜角と、第3のテーパ角度が、共に、島状半導体層の表面の凸部の傾斜角よりも大きくなるようにしてもよい。このようにすることで、

第1の導電膜よりも第2の導電膜の方が幅が狭くなるような階段状で積層構造となるゲート電極を、制御性よく簡易に形成することができる。

【0072】

また、第2の導電膜を第1の側面の傾斜角を有するようにエッチング加工する工程と、第1の導電膜を第2の側面の傾斜角を有するようにエッチング加工する工程と、第1の側面の傾斜角を有するようにエッチング加工された第2の導電膜を、さらに選択的にエッチング加工し、第1の側面の傾斜角よりも大きな側面の傾斜角となる第3の側面の傾斜角を有するようにエッチング加工する工程とは、エッチング装置内にて連続的に行なわれることが好ましい。これにより、製造プロセスを増やすことなく、上記形状のゲート電極が容易に得られ、製造コストを低減できる。

【0073】

また、前述の製造方法において、第2の導電膜を第1の側面の傾斜角を有するようにエッチング加工する工程と、第1の導電膜を第2の側面の傾斜角を有するようにエッチング加工する工程とを行なった後、第1の側面の傾斜角を有するようにエッチング加工された第2の導電膜と、第2の側面の傾斜角を有するようにエッチング加工された第1の導電膜とをマスクとして、島状半導体層の一部にn型あるいはp型を付与する不純物元素をドーピングする工程を行なうこともできる。この場合には、最終的に得られる階段状のゲート電極において、最終的な第1の導電膜の幅に対して、ドーピング工程が完全に選択的に行なわれ、このときのドーピング工程時に第1の導電膜を越えて半導体層に予定外の（あるいは予定外の濃度の）不純物がドーピングされるのを防止できる。

【0074】

また、同じく前述の製造方法において、ゲート電極をマスクとして、島状半導体層の一部にn型あるいはp型を付与する不純物元素をドーピングする工程において、ゲート電極の第2の導電膜をマスクとし、第1の導電膜を越えて、ドーピングを行なってもよい。さらには、ゲート電極をマスクとして、島状半導体層の一部にn型あるいはp型を付与する不純物元素をドーピングする工程において、ゲート電極の第2の導電膜をマスクとし、第1の導電膜を越えて、n型あるいは

p 型を付与する不純物元素を低濃度にドーピングし、次いでゲート電極の第 1 の導電膜をマスクとして、n 型あるいは p 型を付与する不純物元素を高濃度にドーピングしてもよい。このような工程を行なうことにより、第 1 の導電膜と第 2 の導電膜との導電膜の幅の差（階段状部分の長さ）を利用して、LDD 領域を自己整合的に形成することができる。

【0075】

あるいは、第 1 及び第 2 の導電膜の膜厚により制御されたドーピング時のイオンの飛程差を利用して、ゲート電極の第 2 の導電膜をマスクとし、第 1 の導電膜を越して、n 型あるいは p 型を付与する不純物元素を低濃度にドーピングする工程と、ゲート電極の第 1 の導電膜をマスクとして、n 型あるいは p 型を付与する不純物元素を高濃度にドーピングする工程とを同時に実行しても良い。その場合、低濃度にドーピングする際の濃度は、第 1 及び第 2 の導電膜の膜厚の合計によって、高濃度にドーピングされる際の濃度は、第 1 の導電膜の膜厚によって制御することができる。

【0076】

さらに、ゲート電極をマスクとして、島状半導体層の一部に n 型あるいは p 型を付与する不純物元素をドーピングする工程の後、ゲート電極の第 2 の導電膜をマスクとし、露呈している領域の第 1 の導電膜をエッチング除去することもできる。このような工程を行なった場合、第 1 の導電膜がエッチング除去された下部の半導体層において、そこは LDD 領域となっており、その上層にはゲート電極が存在しない構造となる。このような構造とした場合、LDD 領域は、特に TFT のオフ動作時のリーク電流の低減に効果がある。反対に、第 1 の導電膜をエッチングせずに残した状態では、第 1 の導電膜のみの領域下部では、その LDD 領域上にゲート電極が存在する状態となる。このような構造の場合には、TFT のオフ電流の低減効果は薄れるが、ホットキャリア耐性が高くなり、信頼性を向上できる。このように、例えば、一部の TFT においてのみ、第 1 の導電膜を、第 2 の導電膜をマスクとして露呈している領域をエッチング除去することで、それぞれの素子の目的に応じた特性を有する TFT を作り分けることもできる。

【0077】

上述した種々の実施形態において、導電膜をパターンニング（例えばエッチング）し、ゲート電極を形成する工程は、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法、あるいはRIE（リアクティブイオンエッチング）法により行なわれることが好ましい。このような手法を用いることで、上述したような側面の傾斜角を有するゲート電極をエッチングにより精度良く形成できる。特に、前述のように第1の導電膜と第2の導電膜を積層構造とし、それを階段状にエッチングすることが可能となり、そのときのエッチング精度も確保できる。

【0078】

上述した種々の実施形態において、非晶質半導体膜あるいは結晶質領域を含む半導体膜を熔融固化させ、表面に凸部を有する結晶質領域を含む半導体膜を得る工程は、非晶質半導体膜あるいは結晶質領域を含む半導体膜をレーザー光で照射することにより行なうことができる。好ましくは、非晶質半導体膜あるいは結晶質領域を含む半導体膜に照射するレーザー光として、パルスレーザー光を用い、非晶質半導体膜あるいは結晶質領域を含む半導体膜の任意の一点につき、複数回、連続的に照射する。これにより、基板に熱的損傷を与えることなく、良好な結晶性を有する結晶質半導体膜が得られる。このとき得られる表面凹凸を有する結晶質半導体膜は、非晶質半導体膜に対して直接レーザー光を照射した場合、その結晶粒径は、100nmから1000nmであることが望ましい。このような結晶粒径のときに良好な特性のTFTが安定して得られる。すなわち、本実施形態の半導体装置では、半導体層において結晶粒界に囲まれて成る結晶粒の粒径は、100nmから1000nmであることが好ましい。ここでいう結晶粒界とは、前述のセコエッチング法で顕在化された値である。

【0079】

また、以上のような製造方法により作製された半導体装置では、触媒元素を利用して結晶化を行なった場合には、半導体層の少なくとも一部には、非晶質半導体膜の結晶化を促進する触媒元素が含まれている。特に、触媒元素をチャネル領域以外に移動させるゲッターリングを行なった場合には、ソース・ドレイン領域やソース・ドレイン領域の外側の専用のゲッターリング領域に、触媒元素が高濃度で存

在した状態となっている。このときに利用できる触媒元素としては、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、スズ (Sn)、鉛 (Pb)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt)、銅 (Cu)、金 (Au) から選ばれた一種または複数種の元素であり、これらの元素であれば、微量で結晶化助長の効果がある。それらの中でも、特に Ni を用いた場合に最も顕著な効果を得ることができる。

【0080】

触媒元素を用い結晶化を行った際には、半導体層は、その結晶の面配向が主に $\langle 111 \rangle$ 晶帯面で構成されている結晶質半導体膜で構成されていることが好ましい。さらに、半導体層は、その結晶の面配向が主に $\langle 111 \rangle$ 晶帯面で構成されており、その面配向の割合は、 $\langle 111 \rangle$ 晶帯面の中でも、特に (110) 面配向と (211) 面配向とで $\langle 111 \rangle$ 晶帯面全体の 50% 以上の領域が占められている結晶質半導体膜で構成されていることが好ましい。

【0081】

一般的に触媒元素を用いない結晶化では、半導体膜下地の絶縁体の影響（特に非晶質二酸化ケイ素の場合）で、結晶質半導体膜の面配向は、(111) に向きやすい。これに対して、非晶質半導体膜に触媒元素を添加し結晶化させた場合には、図 14 (A) に示すような特異な成長が行われる。図 14 (A) では、下地絶縁体 91 が、結晶成長のドライビングフォースとなっている触媒元素の半導体化合物 94 を含んでいる。図 14 (A) に示すように、触媒元素化合物 94 が結晶成長の最前線に存在し、未結晶化領域の非晶質半導体膜 92 を紙面右方向に向かって次々と結晶化していく。このとき触媒元素化合物 94 は、 $\langle 111 \rangle$ 方向に向かって強く成長する性質がある。その結果、得られる結晶質半導体膜 93 の面方位として、図 14 (A) に示すように $\langle 111 \rangle$ 晶帯面が現れる。

【0082】

図 14 (B) には、前記 $\langle 111 \rangle$ 晶帯面を示す。図 14 (B) において、横軸は (100) 面からの傾斜角度で、縦軸は表面エネルギーを表す。グループ 95 は、 $\langle 111 \rangle$ 晶帯面となる結晶面である。(100) 面と (111) 面は

〈111〉晶帯面ではないが、比較のために示してある。また、図14(C)には、結晶方位の標準三角形を示す。ここで、〈111〉晶帯面の分布は、破線のようになる。数字は代表的な極点の指数である。これらの〈111〉晶帯面の中でも、本実施形態で得られる結晶質半導体膜では、特に(110)面あるいは(211)面が優勢配向となり、これらの面が全体の50%以上を占めるときに優位性が得られる。これらの2つの結晶面は他の面に比べてホール移動度が非常に高く、Nチャネル型TFETに比べ性能の劣るPチャネル型TFETの性能を特に向上でき、半導体回路においてもバランスがとり易いというメリットがある。

【0083】

触媒元素を利用することにより得られた結晶質半導体膜の面方位分布を図15に示す。図15はEBSP測定による結果で、個々の微小領域に分けてその結晶方位を特定し、それをつなぎ合わせてマッピングしたものである。図15(A)に示すのは、本実施形態の結晶質半導体膜における面方位分布であり、図15(B)は、図15(A)のデータに基づいて、隣接する各マッピング点間の面方位の傾角が一定値以下(ここでは 5° 以下)のものを同色で塗り分け、個々の結晶ドメインの分布を浮かび上がらせたものである。本明細書において、「結晶ドメイン」とは、ほぼ同一の面方位領域を意味する。また、図15(C)には、先ほど図14(C)で説明した結晶方位の標準三角形を示す。図15(C)からわかるように、本実施形態による結晶質半導体膜は、概ね〈111〉晶帯面に乗った面配向を示しており、特に(110)と(211)に強く配向しているのがわかる。また、図15(B)に示される個々の結晶ドメイン(ほぼ同一の面方位領域)のサイズは、 $2\sim 10\mu\text{m}$ の範囲で分布する。したがって、触媒元素を利用した場合には、典型的には、半導体層を構成する結晶質半導体膜の結晶ドメイン(ほぼ同一の面方位領域)のドメイン径が、 $2\sim 10\mu\text{m}$ である。なお、以上の面配向および面配向の割合、前記結晶ドメインのドメイン径は、EBSP測定により測定された値である。

【0084】

半導体層の表面の凸部の傾斜角は、 30° 以上 70° 以下の範囲内であることが望ましい。また、AFM(原子間力顕微鏡)等を用いて測定した半導体層の平

均面粗さ (Ra) は、4 nm 以上 30 nm 以下であることが好ましい。この平均表面粗さ (Ra) の好ましい範囲を考慮すると、半導体層の表面の凸部の平均高さは、好ましくは、8 nm から 60 nm の範囲内である。レーザー光による熔融固化過程が良好に行われた結果として、以上のような状態が得られ、このような状態を維持することで、基板全面にわたってバラツキが少なく安定した特性の高性能 TFT が得られる。

【0085】

(第1実施形態)

本発明における半導体装置及びその製造方法の第1の実施の形態を図1を用いて説明する。ここでは、nチャネル型TFTガラス基板上に作製する方法について説明する。本実施形態のTFTはアクティブマトリクス型の液晶表示装置や有機EL表示装置のドライバー回路や画素部分は勿論、薄膜集積回路を構成する素子としても利用することができる。図1は、ここで説明するnチャネル型TFTの作製工程を示す断面図であり、(A) → (G) の順にしたがって作製工程が順次進行する。

【0086】

図1 (A) において、基板101には低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板101のTFTを形成する表面には、基板101からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oの材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜102として成膜し、その上に同様にプラズマCVD法によりSiH₄、N₂Oを材料ガスとして第2の下地膜103を積層形成した。このときの第1下地膜102の酸化窒化ケイ素膜の膜厚は、25～200 nm、例えば100 nmとし、第2下地膜303の酸化窒化ケイ素膜の膜厚としては、25～300 nm、例えば100 nmとした。次にプラズマCVD法によって、厚さ20～80 nm、例えば50 nmの希ガス元素を含有する真性 (I 型) の非晶質ケイ素膜 (a-Si 膜)

104を成膜する。本実施形態では、マルチチャンバー型のプラズマCVD装置を用い、前記第1下地膜102、前記第2下地膜103、そしてa-Si膜104の3層を大気中に出すことなく連続して成膜した。

【0087】

その後、400℃から500℃、例えば450℃で1時間程度の加熱処理を行い、a-Si膜104の膜中に存在する水素濃度を低減させる、所謂脱水素工程を行う。この脱水素工程は、後のレーザー照射による結晶化工程において、Si膜中の水素が突沸し、膜剥がれやピーリング等が起こるのを防止することを目的として行われる。

【0088】

続いて、図1(B)に示すように、脱水素処理されたa-Si膜104にレーザー光105を照射することで結晶化し、結晶質ケイ素膜104aを形成する。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）やKrFエキシマレーザー（波長248nm）が適用できる。Si膜は、このパルス幅の期間において、瞬時に加熱され溶融し、固化する際に結晶化が引き起こされる。この際、結晶化された結晶質ケイ素膜104aの表面には、溶融固化過程に伴う体積膨張率の違いのため、先に固化した部分（結晶核）から最後に固化した部分（結晶粒界部）へと体積が増し、結晶粒界部でリッジが形成される。このときのレーザー光のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、a-Si膜104の任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。このときのレーザー光のエネルギーは、低すぎると良好な結晶性が得られず、高すぎると結晶性のバラツキが顕著となるため、適切な範囲に設定する必要がある。本実施形態では、レーザー光の照射エネルギー密度を350～500mJ/cm²、例えば420mJ/cm²とし、任意の一点における照射回数が10～40ショット、例えば20ショットとなるように設定することで、結晶粒径が200～500nm、平均300nm程度の結晶質ケイ素膜が得られた。また、このときの結晶質ケイ素膜104b表面の

平均表面粗さ R_a は 4 ～ 9 nm であることが望ましく、本実施形態では 6 nm 程度であった。また、結晶質ケイ素膜の表面凹凸における凸部（リッジ）の傾斜角は、 30° 以上 70° 以下の範囲内であることが望ましく、本実施形態では $40^\circ \sim 50^\circ$ であった。

【0089】

その後、結晶質ケイ素膜 104a の不要な部分を除去して素子間分離を行う。該工程により、図 1 (C) に示すように、後に TFT の半導体層（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜 106 が形成される。次に、上記の活性領域となる結晶質ケイ素膜 106 を覆うように厚さ 20 ～ 150 nm、ここでは 100 nm の酸化ケイ素膜をゲート絶縁膜 107 として成膜する。酸化ケイ素膜の形成には、ここでは TEOS (Tetra Ethoxy Ortho Silicate) を原料とし、酸素とともに基板温度 150 ～ 600℃、好ましくは 300 ～ 450℃ で、RF プラズマ CVD 法で分解・堆積した。あるいは TEOS を原料としてオゾンガスとともに減圧 CVD 法もしくは常圧 CVD 法によって、基板温度を 350 ～ 600℃、好ましくは 400 ～ 550℃ として形成してもよい。また、成膜後、ゲート絶縁膜自身のバルク特性および結晶質ケイ素膜／ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で 500 ～ 600℃ で 1 ～ 4 時間のアニールを行ってもよい。

【0090】

上記のように、TEOS を原料としたプラズマ CVD により、比較的低い成膜温度でゲート絶縁膜 107 を形成すると、ゲート絶縁膜 107 の上層となる絶縁膜 116 の段差被覆性を向上させることができる。そのため、ゲート絶縁膜 107 と絶縁膜 116 との間に側面の傾斜角が 90° に近いゲート電極を設けても、上方に形成される金属配線の段切れや段差部でのリークの発生を抑制できる。

【0091】

代わりに、ゲート絶縁膜 107 として SiN 膜を形成し、上層の絶縁膜 116 として、スピンコートによりアクリル等の有機絶縁膜を形成してもよい。これにより、絶縁膜 116 は優れた段差被覆性を有するので、上記と同様の効果が得られる。なお、この場合には、有機絶縁膜の熱劣化を防止するために、350 ～ 4

50℃のアニールによるチャネル部の水素化は、下層のゲート絶縁膜（SiN膜）形成後で上層の有機絶縁膜形成前に行っておくことが好ましい。

【0092】

引き続いて、スパッタリング法によって導電膜を堆積し、これをパターンニング形成して、ゲート電極108を形成する。導電膜としては、各種メタル膜や高濃度にドナーやアクセプター元素がドーピングされた半導体膜等を用いることができる。本実施形態では、後のソース・ドレイン領域の活性化時に加熱処理を行うため、耐熱性の高い高融点メタル、例えばタンタル（Ta）あるいはタングステン（W）、モリブデン（Mo）チタン（Ti）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）等を用いた。アルミニウム（Al）等の低融点メタルも利用できるが、この場合は、レーザー照射による活性化等を組み合わせればよい。本実施形態では、タングステン（W）を用い、厚さが300～600nm、例えば450nmとした。このとき、低抵抗化を図るために含有する不純物濃度を低減させると良く、酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。そして、これをフォトリソ工程でパターンニングし、エッチングすることで、ゲート電極108とする。このときのエッチング工程では、RIE法を用い、ゲート電極108の側面の傾斜角が75～85°となるように形成した。

【0093】

次に、図1（E）に示すように、イオンドーピング法によって、ゲート電極108をマスクとして半導体層に低濃度の不純物（リン）109を注入する。ドーピングガスとして、フォスフィン（PH₃）を用い、加速電圧を60～90kV、例えば80kV、ドーズ量を $1\times 10^{12}\sim 1\times 10^{14}\text{cm}^{-2}$ 、例えば $8\times 10^{12}\text{cm}^{-2}$ とする。この工程により島状のケイ素膜106において、ゲート電極108に覆われていない領域111には低濃度のリン109が注入され、ゲート電極108にマスクされリン109が注入されない領域は、後にTFETのチャネル領域110となる。

【0094】

続いて、図 1 (F) に示すように、ゲート電極 108 を一回り大きく覆うようにフォトリソットによるドーピングマスク 112 を設ける。その後、イオンドーピング法によって、レジストマスク 112 をマスクとして半導体層に不純物（リン） 113 を高濃度に注入する。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を 60～90 kV、例えば 80 kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、高濃度に不純物（リン） 113 が注入された領域は、後に TFT のソース／ドレイン領域 115 となる。そして、半導体層 106 において、レジストマスク 112 に覆われ、高濃度のリン 113 がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD（Lightly Doped Drain）領域 114 を形成する。このように、LDD 領域 114 を形成することで、チャネル領域とソース／ドレイン領域との接合部における電界集中を緩和でき、TFT オフ動作時のリーク電流を低減できると共に、ホットキャリアによる劣化を抑えることができ TFT の信頼性を向上できる。

【0095】

そして、ドーピングのためのマスクとして用いたフォトリソット 112 を除去した後、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させるために、加熱処理を行う。このときの加熱処理は、一般的な抵抗加熱式の熱処理炉やランプ照射による RTA 装置、あるいは高温ガス吹き付け方式の RTA 装置やレーザー照射による方法も使用することができる。本実施形態では、一般的な拡散炉（ファーンズ炉）を用いて、500～600℃、例えば 550℃ で 1 時間程度の加熱処理を行った。こうして形成された N 型不純物（リン）領域 115 のシート抵抗は、500～800 Ω/\square であり、低濃度にリンが注入された LDD 領域 114 のシート抵抗は、30～50 k Ω/\square であった。

【0096】

続いて、図 1 (G) に示すように、厚さ 400～1000 nm 程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜 116 として形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によ

って T F T の電極・配線 1 1 7 を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。本薄膜トランジスタ (T F T) 1 1 8 を画素 T F T として用いる場合には、もう一方のドレイン電極には、I T O など透明導電膜からなる画素電極を設ける。そして最後に、窒素雰囲気あるいは水素雰囲気等で 3 5 0 ℃、1 時間のアニールを行い、図 1 (G) に示す薄膜トランジスタ (T F T) 1 1 8 を完成させる。さらに必要に応じて、薄膜トランジスタ (T F T) 1 1 8 を保護する目的で、T F T 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0 0 9 7】

以上の実施形態にしたがって作製した T F T は、電界効果移動度が $80 \text{ cm}^2/\text{Vs}$ 程度、閾値電圧が 2.5 V 程度であり、従来見られていた T F T オフ動作時のコブ状のリーク電流異常は全く見られなかった。また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、従来のものと比べて非常に信頼性が高かった。さらに、以上の実施形態にしたがって作製した T F T をデュアルゲート構造として液晶表示用アクティブマトリクス基板の画素 T F T に適用したところ、従来法により作成したものに比べて、特に低輝度の輝点発生率や、表示のザラツキが明らかに少なく、コントラスト比の高い高表示品位の液晶パネルが得られた。

【0 0 9 8】

また、本実施形態によって作製した T F T のうち、前述のリーク電流異常を生ずる T F T が発生する確率は 0.000 数% (液晶表示装置の場合は 30 万画素に一つ程度) まで低減することもわかった。

【0 0 9 9】

(第 2 実施形態)

本発明における半導体装置及びその製造方法の第 2 の実施の形態について説明する。本実施形態では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成する n チャネル型 T F T と p チャネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【0100】

図2および図3は、本実施形態で説明するTF Tの作製工程を示す断面図であり、図2 (A) から (F)、図3 (A) から (D) の順にしたがって工程が順次進行する。

【0101】

まず、ガラス基板201のTF Tを形成する表面に、基板201からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜（第1下地膜）202を100nm、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜（第2下地膜）203を100nmの厚さに積層形成する。

【0102】

次に、20～150nm（好ましくは30～70nm）の厚さで非晶質構造を有する半導体膜を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質シリコン（a-Si）膜204を40nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜がある。また、下地膜201、202とa-Si膜203とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTF Tの特性バラツキやしきい値電圧の変動を低減させることができる。この状態が図2 (A) に相当する。

【0103】

次に、第1実施形態と同様にa-Si膜204の脱水素処理を行い、図2 (B) に示すようにレーザー光205を照射することで、瞬間的に熔融させ、結晶化する。これによりa-Si膜204は、結晶質ケイ素膜204aとなる。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）やKrFエキシマレーザー（波長248nm）が適用できる。この際、結晶化された結晶質ケイ素膜204aの表面には、表面凹凸・リッジが形成される。このとき、レーザ発振器から放出されたレーザ光を光学系で線状に

集光し、基板 201 表面で長尺形状となるように成型し、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、a-Si 膜 204 の任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。本実施形態では、レーザー光の照射エネルギー密度を $350 \sim 500 \text{ mJ/cm}^2$ 、例えば 420 mJ/cm^2 とし、任意の一点における照射回数が $10 \sim 40$ ショット、例えば 20 ショットとなるように設定することで、結晶粒径が $200 \sim 500 \text{ nm}$ 、平均 300 nm 程度の結晶質ケイ素膜が得られた。また、このときの結晶質ケイ素膜 104b 表面の平均表面粗さ R_a は $4 \sim 9 \text{ nm}$ であることが望ましく、本実施形態では 6 nm 程度であった。また、結晶質ケイ素膜の表面凹凸における凸部（リッジ）の傾斜角は、 30° 以上 70° 以下の範囲内であることが望ましく、本実施形態では $40 \sim 50^\circ$ であった。この時使用するレーザーとしては、前記エキシマレーザー以外に YAG レーザーや YVO4 レーザー等も用いることができる。また、結晶化の条件は、本実施形態の条件に拘らず、実施者が適宜選択すればよい。

【0104】

そして、図 2 (C) に示すように、結晶質ケイ素膜 204a を所定の形状に分割して、島状半導体層 206n、206p を形成する。

【0105】

ここで、TFET を形成する島状半導体層 206n、206p の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加してもよい。ボロンの添加はイオンドープ法で実施しても良いし、非晶質ケイ素膜を成膜するときに同時に添加しておくこともできる。また、n チャネル型 TFET のみのしきい値をコントロールする目的で、p チャネル型 TFET の半導体層 206p 上をフォトレジストで覆い、n チャネル型 TFET の半導体層 206n のみにボロンを低濃度で添加してもよい。ここでのボロン添加は必ずしも必要でないが、ボロンを添加した半導体層は、n チャネル型 TFET のしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。

【0106】

次いで、ゲート絶縁膜 207 をプラズマ CVD 法またはスパッタ法を用いて 10～150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、100 nm の厚さで酸化ケイ素膜を形成する。ゲート絶縁膜 207 には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0107】

次に、ゲート電極を形成するために導電膜 (A) 208 および導電膜 (B) 209 を成膜する。本実施形態では、導電性の窒化物金属膜から成る導電層 (A) 208 と金属膜から成る導電層 (B) 209 とを積層させた。導電層 (B) 209 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜) で形成すれば良く、導電層 (A) 208 は窒化タンタル (Ta₂N₅)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (MoN) で形成する。また、導電層 (A) 208 は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで 20 $\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0108】

導電層 (A) 208 は 10～50 nm (好ましくは 20～30 nm) とし、導電層 (B) 209 は 200～400 nm (好ましくは 250～350 nm) とすれば良い。本実施形態では、導電層 (A) 208 に 30 nm の厚さの窒化タンタル (Ta₂N₅) 膜を、導電層 (B) 209 には 350 nm のタングステン (W) 膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスの Ar に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。この状態が図 2 (D) に相当する。

【0109】

次いで、図 2 (E) に示すように、レジストからなるマスク 210 n、210 p を形成し、それぞれの T F T のゲート電極およびを形成するための第 1 のエッチング処理を行う。本実施形態では第 1 のエッチング条件として、I C P (I n d u c t i v e l y C o u p l e d P l a s m a : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに C F 4 と C l 2 と O 2 とを用い、それぞれのガス流量比を 25 / 25 / 10 (s c c m) とし、1 P a の圧力でコイル型の電極に 500 W の R F (13.56 M H z) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 150 W の R F (13.56 M H z) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして導電層 (B) の端部をテーパ状とする。これにより、導電膜 (B) は、212 n、212 p のようにパターンニング形成される。

【0110】

この後、マスク 210 n、210 p を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに C F 4 と C l 2 とを用い、それぞれのガス流量比を 30 / 30 (s c c m) とし、1 P a の圧力でコイル型の電極に 500 W の R F (13.56 M H z) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側にも 20 W の R F (13.56 M H z) 電力を投入して、実質的に負の自己バイアス電圧を印加する。このようにして、C F 4 と C l 2 とを混合した第 2 のエッチング条件で導電膜 (A) T a N 膜 208 がエッチングされる。該エッチング工程において、導電膜 (A) の端部は 80 ~ 90 ° の側面の傾斜角を有する状態となり、211 n、211 p のようにパターンニング形成される。この状態が図 2 (F) の状態に相当する。

【0111】

そして、図 3 (A) に示すように、マスク 210 n、210 p を除去せずに、n 型不純物元素 213 を添加する処理を行い、n 型不純物領域 214、215 を形成する。n 型不純物元素としては、リン (P) や砒素 (A s) を用いれば良く、ここではリン (P) を添加すべく、フォスフィン (P H 3) を用いたイオンドーピング法を適用した。このとき、加速電圧を 50 ~ 80 k V、例えば 70 k V、ド

ーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、島状半導体層 206 n、206 p において、前記 TaN 膜 211 n、211 p および W 膜 212 n、212 p に覆われている下の領域には、これらの導電膜がドーピングマスクとして作用し、高濃度のリン 213 はドーピングされない。

【0112】

さらに、マスク 210 n、210 p を除去せずに第3のエッチング処理を行う。ここでは、エッチング用ガスに CF₄ と C₁₂ と O₂ とを用い、それぞれのガス流量比を 20/20/20 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入して、実質的に負の自己バイアス電圧を印加する。第3のエッチング条件によると、W 膜 212 n、212 p が異方性をもって選択的にエッチングされる。このとき、TaN 膜 211 n、211 p はエッチングされず、W 膜のみが横方向にエッチングが進行する。その結果、エッチング後の W 膜 216 n、216 p の端部の側面の傾斜角は 80~90° となる。そして、図3(B)に示すように、W 膜/TaN 膜の積層構造で階段状となるゲート電極 216 n/211 n、216 p/211 p が完成する。

【0113】

次いで、半導体層に低濃度の n 型不純物元素 217 を添加する処理を行う。前記複数回のエッチング処理により形成されたゲート電極の上層導電膜 (W 膜) 216 n、216 p をマスクとして用い、下層導電膜 (TaN 膜) 211 n、211 p が露呈している領域では、下方の半導体層にも n 型不純物元素が添加されるようにドーピングして、低濃度の n 型不純物領域 218、219 が形成される。本実施形態では、ドーピングガスとして、フォスフィン (PH₃) を用い、加速電圧を 80~100 kV、例えば 90 kV、ドーズ量を $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $1 \times 10^{14} \text{ cm}^{-2}$ とする。この工程により、後の n チャネル型 TFT の島状半導体層 206 n において、ゲート電極の上層導電膜 (W 膜) 216 n に覆われ、リンが注入されない領域は、後に n チャネル型 TFT のチャネル形成領域 220 n となる。また、ゲート電極の下層導電膜 (TaN 膜) 211 n のみが存在する領域下部は、LDD 領域 218 となり、下層導電膜 211 n から露

呈している領域はソース・ドレイン領域 214 となる。このとき形成されるソース・ドレイン領域 214 の不純物（リン（P））濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ となるようにすればよい。また、LDD 領域 218 の不純物濃度は、 $5 \times 10^{17} \sim 5 \times 10^{19} / \text{cm}^3$ となるようにすればよい。

【0114】

次いで、図 3（C）に示すように、レジストからなるマスク 210n、210p を除去した後、新たに n チャネル型 TFT の半導体層を部分的に覆うレジストからなるマスク 221 を形成して、p チャネル型 TFT の半導体層 206p に p 型不純物元素（本実施形態ではホウ素（B））222 を添加して、元々添加されている n 型不純物のリンを打ち消し、極性を反転させること（所謂カウンタードーピング）により p 型不純物領域 223、224 を形成する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を 60 kV \sim 90 kV、例えば 80 kV とし、ドーズ量は $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 、例えば $1 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、後の p チャネル型 TFT の島状半導体層 206p において、ゲート電極の下層導電膜（TaN 膜）211p より露呈している領域には、高濃度にホウ素 222 が注入され、後に p チャネル型 TFT のソース・ドレイン領域 223 となる。また、ゲート電極の下層導電膜（TaN 膜）211p のみが存在する領域の下部では、TaN 膜の膜厚分だけドーピングのイオン飛程が延び、実際にドーピングされるホウ素の量は、ソース・ドレイン領域 223 よりも低濃度となり、p チャネル型 TFT の LDD 領域 224 となる。また、ゲート電極の上層導電膜（W 膜）216p に覆われ、ボロンが注入されない領域は、後に p チャネル型 TFT のチャンネル形成領域 220p となる。このとき形成されるソース・ドレイン領域 223 の不純物（ホウ素）濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ となるようにすればよい。また、ドーピングに際しては、ソース・ドレイン領域と LDD 領域とでそれぞれ加速電圧を変え、2 回に分けて行ってもよい。該工程において、n チャネル型 TFT の半導体層は、マスク 221 で覆われているため、ホウ素 222 は全くドーピングされず、n チャネル型 TFT と p チャネル型 TFT とを作り分けることができる。

【0115】

次いで、半導体層に添加された不純物元素を活性化する工程を行う。この活性化工程は、ファーネスアニール炉を用いて行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは、0.1ppm以下の窒素雰囲気下で400～700℃、代表的には500～550℃で行えばよく、本実施形態では、550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他にも、レーザーアニール法、またはラピッドサーマルアニール(RTA)法を適用することができる。

【0116】

次いで、マスク221を除去して、層間絶縁膜を形成する。窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を300～1000nmの厚さで形成する。本実施形態では、膜厚200nmの窒化ケイ素膜225と膜厚700nmの酸化ケイ素膜226とを積層形成し、2層構造とした。このときの成膜方法としては、プラズマCVD法を用い、窒化ケイ素膜はSiH₄とNH₃を原料ガスとして、酸化ケイ素膜はTEOSとO₂を原料として、連続形成した。もちろん、層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよい。

【0117】

さらに、300～500℃で1～数時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は、活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFET特性を劣化させる不対結合手(ダングリングボンド)を終端化し不活性化する工程である。本実施形態では、水素を約3%含む窒素雰囲気下で410℃、1時間の熱処理を行った。前記層間絶縁膜(特に窒化ケイ素膜225)に含まれる水素の量が十分である場合には、窒素雰囲気下で熱処理を行っても効果が得られる。水素化の他の手段としては、プラズマ水素化(プラズマにより励起された水素を用いる)を行ってもよい。

【0118】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFETの電極・配線227を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜

として設けられる。そして最後に、350℃、1時間のアニールを行い、図3（D）に示すnチャネル型薄膜トランジスタ（TF T）228とpチャネル型薄膜トランジスタ（TF T）229とを完成させる。さらに必要に応じて、ゲート電極216 nおよび216 pの上にもコンタクトホールを設けて、配線227により必要な電極間を接続する。また、TF Tを保護する目的で、それぞれのTF T上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0119】

以上の実施形態にしたがって作製したTF Tでは、従来例で頻繁に見られたTF Tオフ動作時のリーク電流の異常な増大が無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られなかった。また、本実施形態で作製したnチャネル型TF Tとpチャネル型TF Tとを相補的に構成したCMOS構造回路で、インバータチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて信頼性が高く、安定した回路特性を示した。

【0120】

また、本実施形態によって作製したTF Tのうち、前述のリーク電流異常を生ずるTF Tが発生する確率は0.000数%まで低減することもわかった。

【0121】

（第3実施形態）

本発明による半導体装置及び半導体装置の製造方法の第3の実施の形態について説明する。本実施形態でも、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成するnチャネル型TF Tとpチャネル型TF Tを相補型に構成したCMOS構造の回路をガラス基板上に作製する工程について、説明を行う。

【0122】

図4および図5は、本実施形態で説明するTF Tの作製工程を示す断面図であり、図4（A）から（F）、図5（A）から（E）の順にしたがって工程が順次進行する。

【0123】

図4 (A)において、基板301には低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板301のTF Tを形成する表面には、基板301からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oの材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜302として成膜し、その上に同様にプラズマCVD法によりSiH₄、N₂Oを材料ガスとして第2の下地膜303を積層形成した。このときの第1下地膜302の酸化窒化ケイ素膜の膜厚は、25～200nm、例えば50nmとし、第2下地膜303の酸化窒化ケイ素膜の膜厚としては、25～300nm、例えば100nmとした。本実施形態では、2層の下地膜を使用した。例えば酸化ケイ素膜の単層でも問題ない。続けて、プラズマCVD法など公知の方法で、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有するケイ素膜（a-Si膜）304を形成する。本実施形態では、非晶質ケイ素膜を50nmの厚さに形成した。また、下地膜302、303と非晶質ケイ素膜304とは両者を連続形成しても良い。この場合、下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTF Tの特性バラツキやしきい値電圧の変動を低減させることができる。

【0124】

そして、a-Si膜304表面上に触媒元素（本実施形態ではニッケル）306の微量添加を行う。ここで使用可能な触媒元素は、ニッケル（Ni）、コバルト（Co）、スズ（Sn）、鉛（Pb）、パラジウム（Pd）、鉄（Fe）、銅（Cu）、から選ばれた一種または複数種の元素が好適である。それ以外にも、ルテニウム（Ru）、ロジウム（Rh）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、金（Au）等が利用できる。このニッケル306の微量添加は、ニッケルを溶かせた溶液をa-Si304上に保持し、スピナーにより溶液を基板301上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は8ppmとなるようにした。この状態が図4 (A)の状態に相当する。尚

、本工程に先立って、スピンドット時の a-Si 膜 304 表面の濡れ性向上のため、オゾン水等で a-Si 304 表面をわずかに酸化させてもよい。このようにして添加された図 4 (A) の状態における a-Si 304 表面上のニッケル濃度を全反射蛍光 X 線分析 (TRXRF) 法により測定すると、 $4 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。触媒元素をアモルファスシリコン膜に添加する方法としては、触媒元素を含有する溶液を塗布する方法以外に、プラズマドーピング法、蒸着法もしくはスパッタ法等の気相法なども利用することができる。溶液を用いる方法は、触媒元素の添加量の制御が容易であり、ごく微量な添加を行うのも容易である。

【0125】

そして、これを不活性雰囲気下、例えば窒素雰囲気にて第 1 の加熱処理を行う。このときの加熱処理としては $520 \sim 600^\circ\text{C}$ で 1 ～ 8 時間のアニール処理を行う。本実施形態では、一例として 580°C にて 1 時間の加熱処理を行った。この加熱処理において、a-Si 膜表面に添加されたニッケル 306 が a-Si 膜 304 中に拡散すると共に、シリサイド化が起こり、それを核として a-Si 膜 304 の結晶化が進行する。その結果、図 4 (B) に示すように、a-Si 膜 304 は結晶化され、結晶質ケイ素膜 304 a となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いる RTA (Rapid Thermal Annealing) 装置で結晶化を行ってもよい。このようにして得られた結晶質ケイ素膜 304 a の結晶面配向は、主に $\langle 111 \rangle$ 晶帯面で構成され、その中でも特に (110) 面配向と (211) 面配向とで全体の 50% 以上の領域が占められている。また、その結晶ドメイン (ほぼ同一の面方位領域) のドメイン径は、 $2 \sim 10 \mu\text{m}$ となっている。

【0126】

次に、図 4 (C) に示すように、レーザー光 306 を照射することで、この結晶質ケイ素膜 304 a をさらに再結晶化し、その結晶性を向上させる。このときのレーザー光としては、XeCl エキシマレーザー (波長 308 nm 、パルス幅 40 nsec) を用いた。レーザー光の照射条件は、エネルギー密度 $350 \sim 500 \text{ mJ/cm}^2$ 、例えば 430 mJ/cm^2 で照射した。ビーム形状は、基板 3

01表面で150mm×1mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.05mmのステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜304aの任意の一点において、計20回のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜304aは、レーザー照射による溶融固化過程により結晶欠陥が低減され、より高品質な結晶性ケイ素膜304bとなる。このようにして得られた結晶質ケイ素膜304bの結晶面配向は、レーザー照射前の結晶質ケイ素膜304aの状態を維持しているが、その表面にはレーザー照射による溶融固化過程で生じたリッジが存在し、その平均表面粗さRaは4～9nmとなっている。また、結晶質ケイ素膜304bの表面凹凸における凸部（リッジ）の傾斜角は、30°以上70°以下であることが望ましく、本実施形態では45°程度であった。

【0127】

その後、結晶質ケイ素膜304bの不要な部分を除去して素子間分離を行う。該工程により、図4（D）に示すように、後にnチャネル型TF Tとpチャネル型TF Tの活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜307nと307pとが形成される。

【0128】

ここで、nチャネル型TF Tとpチャネル型TF Tの活性領域の全面に、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン（B）を添加してもよい。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0129】

次に、上記の活性領域となる結晶質ケイ素膜307n、307pを覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜308として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度300～450℃で、RFプラズマCVD法で分解・堆積した。ゲート絶縁膜308には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0130】

引き続き、ゲート電極を形成するために導電膜 (A) 309 および導電膜 (B) 310 を成膜する。導電層 (A) 309 は 10～50 nm (好ましくは 20～40 nm) とし、導電層 (B) 310 は 200～500 nm (好ましくは 250～450 nm) とすれば良い。本実施形態では、導電層 (A) 309 に 30 nm の厚さの窒化タンタル (Ta₂N₅) 膜を、導電層 (B) 310 には 400 nm のタングステン (W) 膜を用い、いずれもスパッタ法で形成した。そして、ゲート電極をパターンニング形成するためのレジストからなるマスク 311 n、311 p を形成した状態が図 4 (E) である。

【0131】

次に、それぞれの TFT のゲート電極およびを形成するためのエッチング処理を行う。本実施形態では第 1 のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF₄ と C₁₂ と O₂ とを用い、それぞれのガス流量比を 25/25/10 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 150 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして導電層 (B) 313 n、313 p の端部を緩やかなテーパー状とする。

【0132】

この後、マスク 311 n、311 p を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF₄ と C₁₂ とを用い、それぞれのガス流量比を 30/30 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側にも 20 W の RF (13.56 MHz) 電力を投入して、実質的に負の自己バイアス電圧を印加する。このようにして、CF₄ と C₁₂ とを混合した第 2 のエッチング条件で導電膜 (A) Ta₂N₅ 膜 309 がエッチングされる。該エッチング工程において、Ta₂N₅ 膜 312 n、312 p の端部は 80～90°

の側面の傾斜角を有する状態となる。この状態が図4 (F) の状態に相当する。

【0133】

さらに続けて、第3のエッチング処理を行う。ここでは、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を $20/20/20$ (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入して、実質的に負の自己バイアス電圧を印加する。第3のエッチング条件によると、W膜 313 n、313 p が異方性をもって選択的にエッチングされる。このとき、Ta-N膜 312 n、312 p はエッチングされず、W膜のみが横方向にエッチングが進行する。その結果、エッチング後のW膜 314 n、314 p の端部の側面の傾斜角は $80 \sim 90^\circ$ となる。そして、図5 (A) に示すように、W膜/Ta-N膜の積層構造で階段状となるゲート電極 314 n/312 n、314 p/312 p が完成する。これら3つのエッチング処理は、エッチング装置内で連続して行ってもよい。本実施形態でも、ICPエッチングチャンバー内において3段階にエッチング条件を変えることにより、以上の3段階のエッチング処理を連続して行った。

【0134】

続けて、レジスト 311 n、311 p を除去した後、図5 (B) に示すように、イオンドーピング法によって、二層構造で階段状となるゲート電極 314 n/312 n と 314 p/312 p をマスクとして半導体層 307 n、307 p にN型不純物 (リン) 315 を注入する。本実施形態では、このリン 315 のドーピングは加速電圧とドーズ量を変え、2回に分けて行った。ドーピングガスとして、フォスフィン (PH_3) を用い、1回目のドーピングでは、加速電圧を $40 \sim 80$ kV、例えば 60 kV、ドーズ量を $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 、例えば $6 \times 10^{15} \text{ cm}^{-2}$ とする。2回目のドーピングでは、加速電圧を $80 \sim 100$ kV、例えば 90 kV、ドーズ量を $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $1 \times 10^{14} \text{ cm}^{-2}$ とした。これらの2回のドーピング工程は、同一のドーピングチャンバー内で連続して行ってもよい。

【0135】

1回目のドーピング工程により、半導体層 307 n、307 p において、ゲ-

ト電極 314n/312n および 314p/312p から露呈している領域に高濃度のリンが注入され、高濃度 n 型不純物領域 316、319 が形成される。また、2 回目のドーピング工程により、半導体層 307n、307p において、ゲート電極の上層導電膜 314n、314p がない領域で、その下層導電膜 312n、312p 越しにリンが注入され、低濃度のリンが注入され、低濃度 n 型不純物領域 317、320 が形成される。この 2 回目のドーピング工程の際、ゲート電極の上層導電膜 314n、314p が存在する下部の領域の半導体層には、上層導電膜 314n、314p がマスクとなり、リンは届かず、ドーピングされない。その結果、n チャネル型 TFT の半導体層 307n において、高濃度にリンが注入された領域は後のソース・ドレイン領域 316 となり、低濃度にリンが注入された領域は LDD 領域 317 となる。また、ゲート電極の上層導電膜 314n にマスクされ、リンが注入されなかった領域は、後のチャネル形成領域 318n となる。p チャネル型 TFT の半導体層 307p とにおいても、この段階では、同様にリンがドーピングされた状態となっている。本実施形態では、LDD 領域 317 は、ゲート電極の下部にオーバーラップするように形成される。このようにすることで、ホットキャリア耐性を飛躍的に高めることができ、TFT の信頼性を大きく向上できる。また、本実施形態では、高濃度領域を形成するための低加速電圧・高ドーズ量のドーピング工程を先に行ったが、低濃度領域を形成するためのドーピング工程から行ってもよい。また、本実施形態では、このように、ドーピング工程を 2 回に分けて行ったが、加速電圧とドーズ量を調整し、ゲート電極の下層導電膜の膜厚分のイオンの飛程差を利用して、1 回のドーピング工程で高濃度領域と低濃度領域とを作り分けることも可能である。

【0136】

次に、図 5 (C) に示すように、n チャネル型 TFT の半導体層 307n 全体を覆うようにフォトリソットによるドーピングマスク 321 を設ける。この状態で、イオンドーピング法によって、レジストマスク 321 と p チャネル型 TFT のゲート電極 314p/312p をマスクとして、p チャネル型 TFT の半導体層 307p に p 型を付与する不純物（ホウ素）322 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 60 kV ~ 90 kV、例えば

75 kVとし、ドーズ量は $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 、例えば $1 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、後のpチャネル型TFETの島状半導体層307pにおいて、ゲート電極の下層導電膜TaN312pより露呈している領域には、高濃度にホウ素322が注入され、元々添加されているn型不純物のリンを打ち消し、極性を反転させること（所謂カウンタードーピング）によりp型不純物領域となり、後にpチャネル型TFETのソース・ドレイン領域323となる。また、ゲート電極の下層導電膜（TaN膜）211pのみが存在する領域の下部では、TaN膜の膜厚分だけドーピングのイオン飛程が延び、実際にドーピングされるホウ素の量は、ソース・ドレイン領域323よりも低濃度となり、pチャネル型TFETのLDD領域324となる。また、ゲート電極の上層導電膜W314pに覆われ、ボロンが注入されない領域は、後にpチャネル型TFETのチャネル形成領域318pとなる。また、ドーピングに際しては、ソース・ドレイン領域とLDD領域とでそれぞれ加速電圧を変え、2回に分けて行ってもよい。該工程において、後のnチャネル型TFETの半導体層307nは、マスク321で全面覆われているため、ホウ素322は全くドーピングされず、後のnチャネル型TFETとpチャネル型TFETとを作り分けることができる。

【0137】

n型不純物とp型不純物のドーピングに際しては、このようにドーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングを行い、n型不純物領域とp型不純物領域とが形成される。なお、本実施形態において、半導体層にn型不純物元素から添加したが、工程順は本実施形態に限定されることはなく、実施者が適宜決定すればよい。

【0138】

次いで、前記レジストマスク321を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第2の熱処理を行う。本実施形態では、520～600℃の範囲で30分から8時間程度の加熱処理を行なった。この熱処理工程で、図5（D）に示すように、後のnチャネル型TFETの半導体層307n及びpチャネル型TFETの半導体層307pにおいて、ソース・ドレイン領域にドーピングされているリンが、その領域でのニッケルに対する固溶度を高め、チャネル領域に存

在しているニッケルを、チャネル領域 318 n、318 p から LDD 領域 317、324、そしてソース・ドレイン領域 316、323 へと、矢印 325 で示される方向に移動させることで、ゲッタリング工程が行なわれる。

【0139】

このゲッタリング工程では、まず、チャネル領域 318 n、318 p、LDD 領域 317、324 中に固溶しているニッケルがソース・ドレイン領域 316、323 に移動することで、チャネル領域中のニッケル濃度が下がり、そこに析出している Ni シリサイドが、チャネル領域中に固溶することで行われる。そして、これらも固溶状態でソース・ドレイン領域 316、323 に移動していき、最終的に、チャネル領域中の Ni シリサイドは消失し、固溶状態のニッケルの濃度も低減される。その結果、ソース・ドレイン領域にはニッケルが移動してくるため、ソース・ドレイン領域 316、323 におけるニッケル濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上となっている。

【0140】

また、この加熱処理工程で、n チャネル型 TFT のソース・ドレイン領域 316、LDD 領域 317 にドーピングされた n 型不純物（リン）と、p チャネル型 TFT のソース・ドレイン領域 323、LDD 領域 324 にドーピングされた p 型不純物（ホウ素）の活性化も同時に行われる。その結果、n チャネル型 TFT のソース・ドレイン領域 316 のシート抵抗値は、 $500 \sim 800 \Omega / \square$ 程度となり、p チャネル型 TFT のソース・ドレイン領域 323 のシート抵抗値は、 $1 \sim 1.5 \text{ k} \Omega / \square$ 程度であった。また、n チャネル型 TFT の LDD 領域 317 のシート抵抗値は、 $30 \sim 50 \text{ k} \Omega / \square$ 程度であり、p チャネル型 TFT の LDD 領域 324 のシート抵抗値は、 $10 \sim 20 \text{ k} \Omega / \square$ 程度であった。

【0141】

次いで、図 5 (E) に示すように、層間絶縁膜を形成する。窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を $400 \sim 1500 \text{ nm}$ （代表的には $600 \sim 1000 \text{ nm}$ ）の厚さで形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜 326 と膜厚 700 nm の酸化ケイ素膜 327 とを積層形成し、2 層構造とした。このときの成膜方法としては、プラズマ CVD 法を用い、窒化ケイ素

膜は SiH_4 と NH_3 を原料ガスとして、酸化ケイ素膜は TEOS と O_2 を原料として、連続形成した。もちろん、無機層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよい。

【0 1 4 2】

さらに、 $300 \sim 500^\circ\text{C}$ で 1 ～ 数時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFET 特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する工程である。本実施形態では、水素を約 3 % 含む窒素雰囲気下で 410°C 、1 時間の熱処理を行った。前記層間絶縁膜（特に窒化ケイ素膜 3 2 6）に含まれる水素の量が十分である場合には、窒素雰囲気ですべて熱処理を行っても効果が得られる。水素化の他の手段としては、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0 1 4 3】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって TFET の電極・配線 3 2 8 を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、 350°C 、1 時間のアニールを行い、図 5（K）に示す n チャネル型薄膜トランジスタ（TFET）3 2 9 と p チャネル型薄膜トランジスタ（TFET）3 3 0 を完成させる。さらに必要に応じて、ゲート電極 3 1 4 n および 3 1 4 p の上にもコンタクトホールを設けて、配線 3 2 8 により必要な電極間を接続する。また、TFET を保護する目的で、それぞれの TFET 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0 1 4 4】

以上の実施形態にしたがって作製したそれぞれの TFET の電界効果移動度は n チャネル型 TFET で $250 \sim 300 \text{ cm}^2/\text{Vs}$ 、p チャネル型 TFET で $120 \sim 150 \text{ cm}^2/\text{Vs}$ と高く、閾値電圧は N 型 TFET で 1 V 程度、P 型 TFET で -1.5 V 程度と非常に良好な特性を示す。しかも、従来例で頻繁に見られた TFET オフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られなかつ

た。また、本実施形態で作製した n チャンネル型 T F T と p チャンネル型 T F T とを相補的に構成した C M O S 構造回路で、インバータチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて非常に信頼性が高く、安定した回路特性を示した。

【 0 1 4 5 】

また、本実施形態によって作製した T F T のうち、前述のリーク電流異常を生ずる T F T が発生する確率は 0 . 0 0 0 数 % まで低減することもわかった。

【 0 1 4 6 】

(第 4 実施形態)

本発明による半導体装置及び半導体装置の製造方法の第 4 の実施の形態について説明する。本実施形態でも、n チャンネル型 T F T と p チャンネル型 T F T を相補型に構成した C M O S 構造の回路をガラス基板上に作製する工程について、説明を行う。

【 0 1 4 7 】

図 6 および図 7 は、本実施形態で説明する T F T の作製工程を示す断面図であり、図 6 (A) から (G)、図 7 (A) から (E) の順にしたがって工程が順次進行する。

【 0 1 4 8 】

図 6 (A) において、低アルカリガラス基板 4 0 1 の T F T を形成する表面に、基板 4 0 1 からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、窒化ケイ素膜を下層の第 1 下地膜 4 0 2 として成膜し、その上に酸化ケイ素膜を第 2 の下地膜 4 0 3 を積層形成した。第 1 下地膜 4 0 2 の酸化窒化ケイ素膜の膜厚は、例えば 1 0 0 n m とし、第 2 下地膜 4 0 3 の酸化窒化ケイ素膜の膜厚としては、例えば 1 0 0 n m とし、共にプラズマ C V D 法で連続形成した。続けて、2 0 ~ 1 0 0 n m、例えば 5 0 n m の厚さの非晶質構造を有するケイ素膜 (a - S i 膜) 4 0 4 を形成する。下地膜 4 0 2、4 0 3 と a - S i 膜 4 0 4 とは両者を連続形成しても良い。

【 0 1 4 9 】

引き続いて、a-Si膜404表面上に触媒元素（本実施形態ではニッケル）406の微量添加を行う。このニッケル406の微量添加は、ニッケルを溶かせた溶液をa-Si404上に保持し、スピナーにより溶液を基板401上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は8ppmとなるようにした。この状態が図6（A）の状態に相当する。このようにして添加された図6（A）の状態におけるa-Si404表面上のニッケル濃度を全反射蛍光X線分析（TRXRF）法により測定すると、 $4 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。

【0150】

そして、これを不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。このときの加熱処理としては520～600℃で1～8時間のアニール処理を行う。本実施形態では、一例として550℃にて4時間の加熱処理を行った。この加熱処理において、a-Si膜表面に添加されたニッケル406がa-Si膜404中に拡散すると共に、シリサイド化が起り、それを核としてa-Si膜404の結晶化が進行する。その結果、図6（B）に示すように、a-Si膜404は結晶化され、結晶質ケイ素膜404aとなる。このようにして得られた結晶質ケイ素膜404aの結晶面配向は、主に〈111〉晶帯面で構成され、その中でも特に（110）面配向と（211）面配向とで全体の50%以上の領域が占められている。また、その結晶ドメイン（ほぼ同一の面方位領域）のドメイン径は、2～10μmとなっている。

【0151】

次に、図6（C）に示すように、レーザー光407を照射することで、この結晶質ケイ素膜404aをさらに再結晶化し、その結晶性を向上させる。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）を用いた。レーザー光の照射条件は、エネルギー密度を例えば400mJ/cm²とし、150mm×1mmの長尺形状となるように成型されたビームにて、長尺方向に対して垂直方向に0.05mmのステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜404aの任意の一点において、計20回

のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜 404a は、レーザー照射による溶融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜 404b となる。このようにして得られた結晶質ケイ素膜 404b の結晶面配向は、レーザー照射前の結晶質ケイ素膜 404a の状態を維持しているが、その表面にはレーザー照射による溶融固化過程で生じたリッジが存在し、その平均表面粗さ R_a は 4 ~ 9 nm となっている。また、結晶質ケイ素膜 404b の表面凹凸における凸部（リッジ）の傾斜角は、 30° 以上 70° 以下であることが望ましく、本実施形態では 45° 程度であった。

【0152】

その後、結晶質ケイ素膜 404b の不要な部分を除去して素子間分離を行う。該工程により、図 6 (D) に示すように、後に n チャネル型 TFT と p チャネル型 TFT の半導体層（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜 407n と 407p とが形成される。

【0153】

ここで、n チャネル型 TFT と p チャネル型 TFT の半導体層の全面に、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加してもよい。ボロン (B) の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0154】

次に、上記半導体層 407n、407p を覆うように厚さ 20 ~ 150 nm、ここでは 100 nm の酸化ケイ素膜をゲート絶縁膜 408 として成膜する。引き続いて、ゲート電極を形成するために導電膜 (A) 409 および導電膜 (B) 410 を成膜する。本実施形態では、導電層 (A) 409 に 30 nm の厚さの窒化タンタル (Ta₂N₅) 膜を、導電層 (B) 410 には 400 nm のタングステン (W) 膜を用い、いずれもスパッタ法で形成した。そして、ゲート電極をパターンニング形成するためのレジストからなるマスク 411n、411p を形成した状態が図 6 (E) である。

【0155】

次に、それぞれのTFETのゲート電極およびを形成するためのエッチング処理を行う。本実施形態でも、前述の第3実施形態と同様の方法で、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、3段階のエッチングを行った。まず、図6（F）に示すように、第1のエッチングによりW膜をエッチングして導電層（B）413n、413pの端部を緩やかなテーパー状とし、さらに第2のエッチングで導電膜（A）TaN膜をエッチングして、TaN膜412n、412pの端部は80～90°の側面の傾斜角を有する状態とする。

【0156】

さらに続けて、第3のエッチング処理を行い、W膜413n、413pを異方性をもって選択的にエッチングする。このとき、TaN膜312n、312pはエッチングされず、W膜のみが横方向にエッチングが進行し、エッチング後のW膜414n、414pの端部の側面の傾斜角は80～90°となる。そして、図6（G）に示すように、W膜／TaN膜の積層構造で階段状となるゲート電極414n／412n、414p／412pを完成させる。

【0157】

続けて、レジスト411n、411pを除去した後、図7（A）に示すように、後のpチャネル型TFETにおいては、ゲート電極414p／412pをさらに一回り大きく覆い、半導体層307pの外縁部を露出させるようにフォトリソによるドーピングマスク415を設ける。そして、イオンドーピング法によって、二層構造で階段状となるゲート電極414n／412nとレジスト415をマスクとして半導体層407n、407pにN型不純物（リン）416を注入する。本実施形態でも、このリン416のドーピングは加速電圧とドーズ量を変え、2回に分けて行った。ドーピングは第3実施形態と同様の条件で行い、1回目のドーピング工程により、nチャネル型TFETの半導体層407nにおいて、ゲート電極414n／412nから露呈している領域に高濃度のリンが注入され、高濃度n型不純物領域417が形成される。また、2回目のドーピング工程により、ゲート電極の上層導電膜414nがない領域で、その下層導電膜412n越

しにリンが注入され、低濃度 n 型不純物領域 418 が形成される。この 2 回目のドーピング工程の際、ゲート電極の上層導電膜 414 n が存在する下部の領域の半導体層には、上層導電膜 414 n がマスクとなり、リンは届かず、ドーピングされない。その結果、n チャンネル型 T F T の半導体層 407 n において、高濃度にリンが注入された領域 417 の一部は後のソース・ドレイン領域となり、低濃度にリンが注入された領域は L D D 領域 418 となる。また、ゲート電極の上層導電膜 414 n にマスクされ、リンが注入されなかった領域は、後のチャンネル形成領域 419 n となる。これに対して、p チャンネル型 T F T の半導体層 407 p では、レジストマスク 415 に覆われている領域にはリンは注入されず、レジストマスクより露呈している領域 420 にのみ、リンが注入される。この工程により、p チャンネル型 T F T の半導体層において、高濃度にリン注入された領域 420 は、後に p チャンネル型 T F T のゲッタリング領域を形成することになる。このときの領域 417、420 における n 型不純物元素（リン）の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、n チャンネル型 T F T の L D D 領域 418 における n 型不純物元素（リン）の膜中濃度は、 $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ となっており、このような範囲であるときに L D D 領域として機能する。

【0158】

次に、フォトリジストによるマスク 415 を除去した後、ゲート電極の上層導電膜（W 膜）414 n、414 p をマスクとして、下層導電膜（T a N 膜）412 n、412 p を除去する。I C P エッチング法を用い、エッチング用ガスに C F 4 と C l 2 とを用い、それぞれのガス流量比を 30/30（s c c m）とし、1 P a の圧力でコイル型の電極に 500 W の R F（13.56 M H z）電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側にも 20 W の R F（13.56 M H z）電力を投入して、実質的に負の自己バイアス電圧を印加する。このようにして、W 膜 414 n、414 p より露呈している領域の T a N 膜 412 n、412 p のみが選択的にエッチングされる。該エッチング工程において、T a N 膜 421 n、421 p の端部は $80 \sim 90^\circ$ の側面の傾斜角を有する状態となる。この状態が図 7（B）の状態に相当する。すなわち、n チ

ャネル型 T F T の半導体層 4 0 7 n において、前工程で形成された L D D 領域 4 1 8 は、ゲート電極の外側に存在するような構成となる。このような構成とすることで、特に T F T オフ動作時のリーク電流を小さく抑えることができる。

【0159】

次に、図 7 (C) に示すように、また新たに、n チャネル型 T F T の半導体層 4 0 7 n において、先ほど形成された L D D 領域 4 1 8 を一回り大きく覆い、半導体層 4 0 7 n の外縁部を露出させるようにフォトリソットによるドーピングマスク 4 2 2 を設ける。このとき、p チャネル型 T F T 半導体層 4 0 7 p の上方にはマスクは設けられず、全体が露呈されている。この状態で、イオンドーピング法によって、レジストマスク 4 2 2 と後の p チャネル型 T F T のゲート電極 4 1 4 p / 4 2 1 p をマスクとして、半導体層に p 型を付与する不純物（ホウ素）4 2 3 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 4 0 k V ~ 8 0 k V、例えば 6 5 k V とし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $7 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、n チャネル型 T F T においては、高濃度にホウ素が注入された領域は、後に n チャネル型 T F T のゲッタリング領域 4 2 6 n として機能し、前工程で高濃度のリンが注入された残りの領域がソース・ドレイン領域 4 2 4 として機能する。そして、p チャネル型 T F T の半導体層 4 0 7 p においては、ゲート電極 4 1 4 p / 4 2 1 p 下部のチャネル領域 4 1 9 p 以外に高濃度にホウ素が注入され、後に p チャネル型 T F T のソース／ドレイン領域 4 2 5 となる。また、高濃度のリンが注入されている領域 4 2 0 には、さらに高濃度のホウ素が注入され、p チャネル型 T F T のゲッタリング領域 4 2 6 p が形成される。このときの領域 4 2 5 と領域 4 2 6 n および 4 2 6 p とにおける p 型不純物元素（ホウ素）の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。この工程により、n チャネル型 T F T のゲッタリング領域 4 2 6 n と p チャネル型 T F T のゲッタリング領域 4 2 6 p は、前工程でのリン 4 1 6 とこの工程でのホウ素 4 2 3 とが合わせてドーピングされた領域となっている。

【0160】

次いで、前記レジストマスク 4 2 2 を除去した後、これを不活性雰囲気下、例

えば窒素雰囲気にて熱処理を行う。本実施形態では、RTA (Rapid Thermal Annealing) により行った。窒素雰囲気中にて、基板表面に高温の窒素ガスを吹き付け、瞬時に昇降温を行う方式のRTA装置を用いた。具体的な処理条件としては、保持温度550～750℃の範囲で、保持時間30秒～15分程度、より好ましくは保持温度600～700℃の範囲で、保持時間1分～10分程度である。本実施形態では、670℃で5分のRTA処理を行った。昇温速度および降温速度としては、共に100℃/分以上で行うことが好ましく、実施形態では、200℃/分程度とした。この熱処理工程で、nチャネル型TFETの半導体層407nにおいては、ソース・ドレイン領域の外側に形成されたゲッタリング領域426nに高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成し、またドーピング時に生じた結晶欠陥もニッケルの偏析サイトとして機能する。そして、チャネル領域419n、LDD領域418およびソース・ドレイン領域424に存在しているニッケルを、チャネル領域からLDD領域、さらにソース・ドレイン領域、そしてゲッタリング領域426nへと、図7(D)の矢印427で示される方向に移動させる。リンのみがドーピングされたソース/ドレイン領域424もゲッタリング効果を有するが、リンとホウ素がドーピングされたゲッタリング領域426nの能力が高いため、ゲッタリング領域426nにニッケルが集められる。また、pチャネル型TFETの半導体層407pにおいても、ソース・ドレイン領域の外側に形成されたゲッタリング領域426pに高濃度にドーピングされているリンおよびホウ素が同様の機能を果たし、チャネル領域419p、ソース・ドレイン領域425に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域426pへと、同様に矢印427で示される方向に移動させる。以上の工程により、ゲッタリング工程が行なわれる。

【0161】

このゲッタリング工程により、ゲッタリング領域426nおよび426pにはニッケルが移動してくるため、ゲッタリング領域426n、426pにおけるニッケル濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上となる。

【0 1 6 2】

また、この加熱処理工程で、nチャネル型TFTのソース・ドレイン領域424とLDD領域418にドーピングされたn型不純物（リン）と、pチャネル型TFTのソース・ドレイン領域425にドーピングされたp型不純物（リン）の活性化も同時に行われる。その結果、nチャネル型TFTのソース・ドレイン領域424のシート抵抗値は、 $400 \sim 700 \Omega/\square$ 程度となり、LDD領域418のシート抵抗値は、 $30 \sim 60 k\Omega/\square$ であった。また、pチャネル型TFTのソース・ドレイン領域425のシート抵抗値は、 $0.7 \sim 1.0 k\Omega/\square$ 程度であった。本実施形態のような構成とすることで、pチャネル型TFTにおけるカウンタードープを無くし、pチャネル型TFTのソース・ドレイン領域の低抵抗化とドーピング処理能力の向上が図れた。

【0 1 6 3】

次いで、図7（E）に示すように、層間絶縁膜を形成する。膜厚200nmの窒化ケイ素膜428と膜厚700nmの酸化ケイ素膜429とを積層形成し、2層構造とした。もちろん、無機層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよい。

【0 1 6 4】

さらに、 $300 \sim 500^\circ\text{C}$ で1時間程度の熱処理を行う。これにより、前記層間絶縁膜（特に窒化ケイ素膜428）から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TFT特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する。

【0 1 6 5】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極・配線430を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、 350°C 、1時間のアニールを行い、図7（E）に示すnチャネル型薄膜トランジスタ（TFT）331とpチャネル型薄膜トランジスタ（TFT）332とを完成させる。さらに必要に応じて、ゲート電極421nおよび421pの上にもコンタクトホールを設けて、配線430によ

り必要な電極間を接続する。また、T F Tを保護する目的で、それぞれのT F T上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0 1 6 6】

以上の実施形態にしたがって作製したそれぞれのT F Tの電界効果移動度は、第3実施形態と同様の良好な特性を示す。

【0 1 6 7】

さらに、本実施形態では、nチャネル型T F TのL D D領域をゲート電極の外側に構成でき、オフ電流の低減により効果があった。また、nチャネル型T F Tとpチャネル型T F Tとにおいて、それぞれのソース・ドレイン領域形成工程を利用して、同時にゲッタリング領域を形成することで、製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。

【0 1 6 8】

また、本実施形態によって作製したT F Tのうち、前述のリーク電流異常を生ずるT F Tが発生する確率は0. 0 0 0数%まで低減することもわかった。

【0 1 6 9】

(第5実施形態)

本実施形態では、触媒元素を用いた結晶化方法に際し、第3あるいは第4の実施形態とは異なる結晶化方法について説明する。説明には図8を用いる。図8は、本実施形態での作製工程を示す断面図であり、(A)から(E)にしたがって作製工程が順次進行する。

【0 1 7 0】

まず、第1～第4の実施形態と同様に、基板（本実施形態ではガラス基板）5 0 1上に、基板からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、窒化ケイ素膜を下層の第1下地膜5 0 2として成膜し、その上に酸化ケイ素膜を第2の下地膜5 0 3を積層形成した。次に、3 0～8 0 n mの厚さでa - S i膜5 0 4を、第1～第4実施形態と類似の方法で形成する。この工程は下地絶縁膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0 1 7 1】

次に、酸化ケイ素膜でなるマスク絶縁膜 505 を 200 nm 程度の厚さに形成する。マスク絶縁膜は、図 8 (A) に示すように、半導体膜に触媒元素を添加するための開口部 500 を有している。

【0172】

次に、図 8 (B) に示すように、重量換算で 100 ppm の触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素層 506 を形成する。この時、触媒元素 506 は、マスク絶縁膜 505 の開口部 500 において、選択的に a-Si 膜 504 に接触して、触媒元素添加領域が形成される。

【0173】

また、本実施形態ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施形態の場合はニッケル膜）を a-Si 膜上に形成する手段をとっても良い。

【0174】

次に、500～650℃（好ましくは 550～600℃）で 6～20 時間（好ましくは 8～15 時間）の加熱処理を行う。本実施形態では、580℃で 10 時間の加熱処理を行う。その結果、図 8 (C) に示すように、触媒元素添加領域 500 に結晶核が発生し、領域 500 の a-Si 膜がまず結晶化され、結晶質ケイ素膜 504 a となる。さらに結晶化領域を起点として概略基板と平行な方向（矢印 507 で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素膜 504 b が形成される。このとき、マスク 505 上に存在するニッケル 506 は、マスク膜 505 に阻まれ、下層の a-Si 膜へは到達せず、領域 500 において導入されたニッケルのみにより a-Si 膜 504 の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質領域 504 c として残る。但し、レイアウトによっては、隣接した開口部より横方向に結晶成長した領域とぶつかり合って境界が生じる場合もあり、この場合は非晶質領域とはならない。

【0175】

マスクとして用いた酸化ケイ素膜 505 を除去した後、得られた結晶質シリコ

ン膜には、図 8 (D) で示すようにレーザー光を照射して、第 3 あるいは第 4 の実施形態と同様に、結晶性の改善を行う。これにより、横方向に結晶成長した領域 504b の結晶質ケイ素膜は、より高品質化され、結晶質ケイ素膜 504d となる。このとき、結晶質ケイ素膜 504b の表面には、第 3 あるいは第 4 の実施形態と同様の表面凹凸が生じている。

【0176】

続いて、横方向に結晶成長した領域 504d の結晶質ケイ素膜を所定の形状にエッチングして、後の TFT の半導体層 509 を形成する。

このような本実施形態で示した結晶化方法を第 1 ～第 4 の実施形態における結晶化工程に適応することで、より電流駆動能力の高い高性能な TFT を実現することができる。

【0177】

(第 6 実施形態)

上記第 1 から第 5 実施形態で作製された半導体装置のブロック図を図 9 に示す。なお、図 9 (A) には、アナログ駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路 60、画素部 61 およびゲート側駆動回路 62 を有している半導体装置について示している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称を指している。

【0178】

ソース側駆動回路 60 は、シフトレジスタ 60a、バッファ 60b、サンプリング回路 (トランスファゲート) 60c を設けている。また、ゲート側駆動回路 62 は、シフトレジスタ 62a、レベルシフタ 62b、バッファ 62c を設けている。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0179】

また、本実施形態において、画素部 61 は複数の画素からなり、その複数の画素各々が TFT 素子を含んでいる。

【0180】

なお、図示していないが、画素部 61 を挟んでゲート側駆動回路 62 の反対側

にさらにゲート側駆動回路を設けても良い。

【0181】

また、図9（B）には、デジタル駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路63、画素部64およびゲート側駆動回路65を有している半導体装置について示している。デジタル駆動させる場合は、図9（B）に示すように、サンプリング回路の代わりにラッチ（A）63b、ラッチ（B）63cを設ければよい。ソース側駆動回路63は、シフトレジスタ63a、ラッチ（A）63b、ラッチ（B）63c、D/Aコンバータ63d、バッファ63eを設けている。また、ゲート側駆動回路65は、シフトレジスタ65a、レベルシフタ65b、バッファ65cを設けている。また、必要であればラッチ（B）63cとD/Aコンバータ63dとの間にレベルシフタ回路を設けてもよい。

【0182】

なお、上記構成は、前述の第1から第5の実施形態に示した製造工程に従って実現することができる。また、本実施形態では画素部と駆動回路の構成のみ示しているが、メモリやマイクロプロセッサをも同様の方法で形成しうる。

【0183】

（第7実施形態）

上記実施形態によって形成されたCMOS回路や画素部はアクティブマトリクス型液晶表示装置や有機EL表示装置に用いることができる。即ち、それら液晶表示装置や有機EL表示装置を表示部に組み込んだ電子機器全てに本発明を適用できる。

【0184】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。

【0185】

本発明を適用することにより、触媒元素を用いた良好な結晶性を有する結晶質

半導体膜を形成することができ、さらに十分に触媒元素をゲッタリングできるため、nチャネル型TFETとpチャネル型TFETとの特性を向上させ、信頼性の高い、安定した回路特性の、良好なCMOS駆動回路を実現することができる。また、オフ動作時のリーク電流が問題となる画素におけるスイッチングTFETや、アナログスイッチ部のサンプリング回路のTFET等でも、触媒元素の偏析によると考えられるリーク電流の発生を十分に抑制することができる。その結果、表示ムラのない良好な表示が可能になる。また表示ムラがない良好な表示であるため、光源を必要以上に使用する必要がなく無駄な消費電力を低減することができ、低消費電力化も可能な電子機器（携帯電話、携帯書籍、ディスプレイ）を実現することができる。

【0186】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、前記第7実施形態の電子機器は、前記第1から第6の実施形態を組み合わせることで作製された表示装置を用いて実現することができる。

【0187】

以上、本発明の実施形態について具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0188】

例えば、半導体膜としては、上記実施形態で示した純粋なケイ素膜以外に、ゲルマニウムとケイ素との混成膜（シリコン・ゲルマニウム膜）や純粋なゲルマニウム膜も利用できる。

【0189】

また、半導体膜を溶融固化し結晶化あるいは再結晶化させる工程は、レーザー光以外の強光やエネルギービームでも代用できるし、パルスレーザー以外に固体YAGレーザーやArガスレーザー等の連続発振レーザーを利用することもできる。また、照射条件に関しても、前述の実施形態を参考に、実施者が便宜設定すればよい。

【0190】

また、ゲート電極の構成に関しても、3層以上の積層構造を用いてもよく、そのエッチング工程も、前述のRIE法やICPエッチング方法以外に通常のプラズマエッチング法でも条件により適用可能である。エッチング条件についても、前記実施形態の条件に捕らわれず、実施者が便宜設定すればよい。

【0191】

【発明の効果】

本発明を用いることにより、表面に凸部を有する結晶質半導体膜を半導体層として利用する半導体装置において、TFTオフ動作時の異常なリーク電流増大現象が無くなり、オフ特性が安定し、信頼性の高い半導体装置を実現できる。また、半導体層の表面凹凸を気にすることなく、結晶化のためのレーザー照射条件を設定でき、レーザーの照射条件のマージンが増え、安定処理できるだけでなく、TFTのオン特性のみに絞って条件出しができ、より高品質な結晶質半導体膜が得られ、高性能な半導体装置が実現できる。また、従来法のように、半導体層の表面凹凸を低減するための付加工程を必要としないため、その製造工程において良品率を大きく向上できると共に、半導体装置の製造コストを低減することができる。

【0192】

また、触媒元素を用い結晶化した半導体層に対しても、半導体層表面の凸部に残留し易い触媒元素のTFT特性への悪影響を抑えることができ、リーク電流の発生をさらに抑制することができ、且つ信頼性も向上することができ、特性ばらつきも少ない安定した特性の高性能半導体素子を実現できる。

【0193】

よって、本発明を用いることにより、高性能半導体素子を実現でき、さらに、集積度の高い高性能半導体装置が、簡便な製造プロセスにて得られる。特に液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチングTFTのスイッチング特性の向上、周辺駆動回路部を構成するTFTに要求される高性能化・高集積化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板に

において、モジュールのコンパクト化、高性能化、低コスト化が可能になる。

【0 1 9 4】

本発明は、アクティブマトリクス型の液晶表示装置や有機 E L 表示装置、密着型イメージセンサー、三次元 I C などに利用できる。

【図面の簡単な説明】

【図 1】

(A) から (G) は、本発明の実施形態 1 による半導体装置の製造工程を示す模式的な断面図である。

【図 2】

(A) から (F) は、本発明の実施形態 2 による半導体装置の製造工程を示す模式的な断面図である。

【図 3】

(A) から (D) は、本発明の実施形態 2 による半導体装置の製造工程を示す模式的な断面図である (図 2 の続き)。

【図 4】

(A) から (F) は、本発明の実施形態 3 による半導体装置の製造工程を示す模式的な断面図である。

【図 5】

(A) から (E) は、本発明の実施形態 3 による半導体装置の製造工程を示す模式的な断面図である (図 4 の続き)。

【図 6】

(A) から (G) は、本発明の実施形態 4 による半導体装置の製造工程を示す模式的な断面図である。

【図 7】

(A) から (E) は、本発明の実施形態 4 による半導体装置の製造工程を示す模式的な断面図である (図 6 の続き)。

【図 8】

(A) から (E) は、本発明の実施形態 5 による半導体装置の製造工程を示す模式的な断面図である。

【図 9】

本発明の実施形態 6 による半導体装置のブロック図である。

【図 1 0】

(A) はリーク電流異常を生じた T F T の $V_g - I_d$ 特性を示すグラフであり、(B) は正常な T F T の $V_g - I_d$ 特性を示すグラフである。

【図 1 1】

表面に凸部を有する半導体層を備えたトップゲート型 T F T のソース・ドレイン接合部近傍の断面を示す模式図である。

【図 1 2】

(A) は T F T における N 型化したリッジの $V_g - I_d$ 特性を示すグラフであり、(B) は T F T の正常部の $V_g - I_d$ 特性を示すグラフであり、(C) は T F T 全体の $V_g - I_d$ 特性を示すグラフである。

【図 1 3】

半導体層の表面における凸部の傾斜角を説明するための模式的な断面図である。

【図 1 4】

非晶質半導体膜に触媒元素を添加して結晶化させた場合における、(A) は結晶成長を示す図であり、(B) は $\langle 111 \rangle$ 晶帯面を示す図であり、(C) は結晶方位の標準三角形を示す図である。

【図 1 5】

(A) 及び (B) は触媒元素を利用することにより得られた結晶質半導体膜の面方位分布を示す図であり、(C) は結晶方位の標準三角形を示す図である。

【符号の説明】

1 0 1 基板

1 0 2、1 0 3 下地膜

1 0 4 希ガス元素を含有する真性 (I 型) の非晶質半導体膜 (a - S i 膜)

1 0 4 a 結晶質半導体膜 (結晶質ケイ素膜)

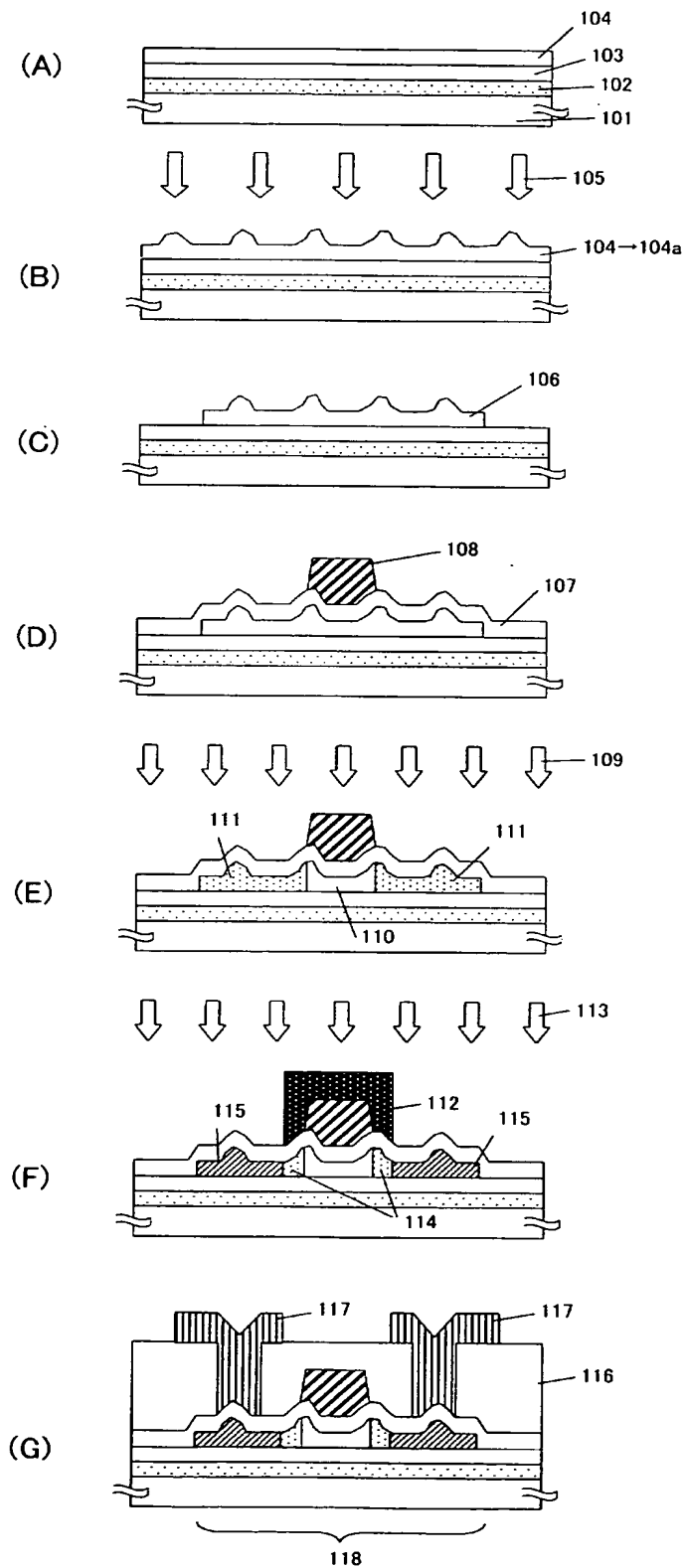
1 0 5 レーザー光

1 0 6 島状の結晶質ケイ素膜

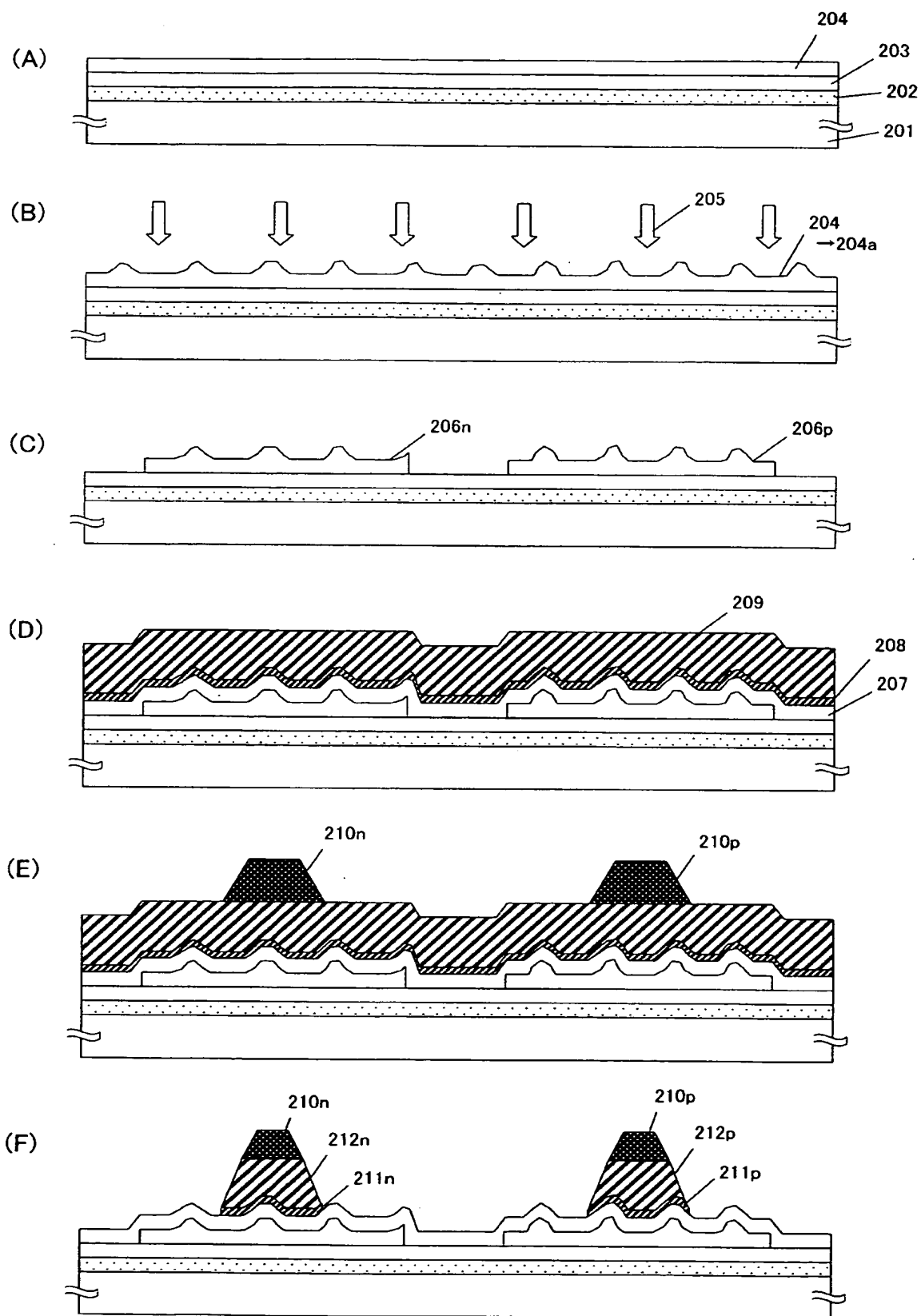
- 1 0 7 ゲート絶縁膜
- 1 0 8 ゲート電極
- 1 0 9 不純物（リン）
- 1 1 0 チャネル領域
- 1 1 1 リンが注入された領域
- 1 1 2 マスク
- 1 1 3 不純物（リン）
- 1 1 4 LDD領域
- 1 1 5 ソース／ドレイン領域
- 1 1 6 層間絶縁膜
- 1 1 7 電極・配線
- 1 1 8 TFT（半導体素子）

【書類名】 図面

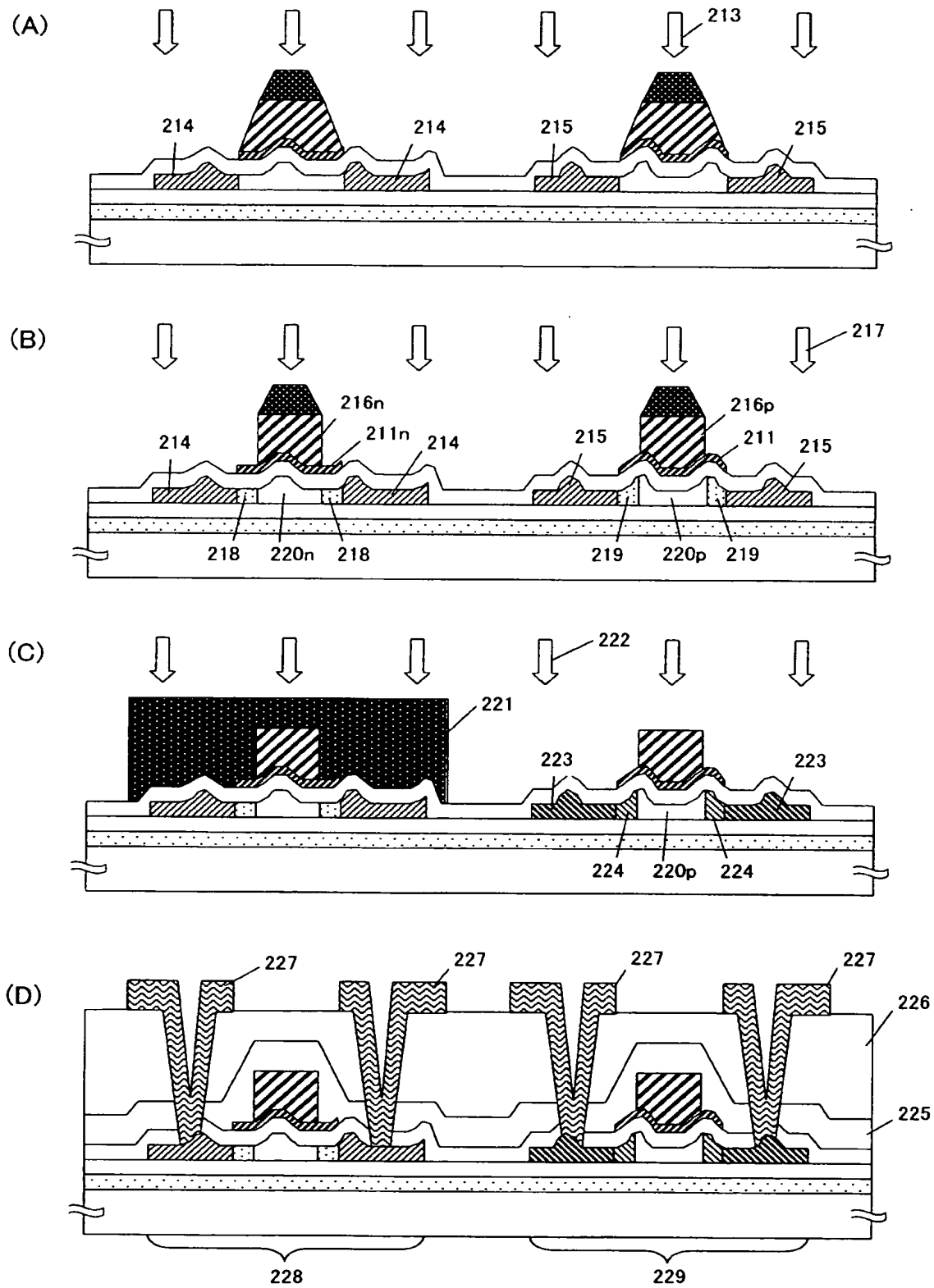
【図 1】



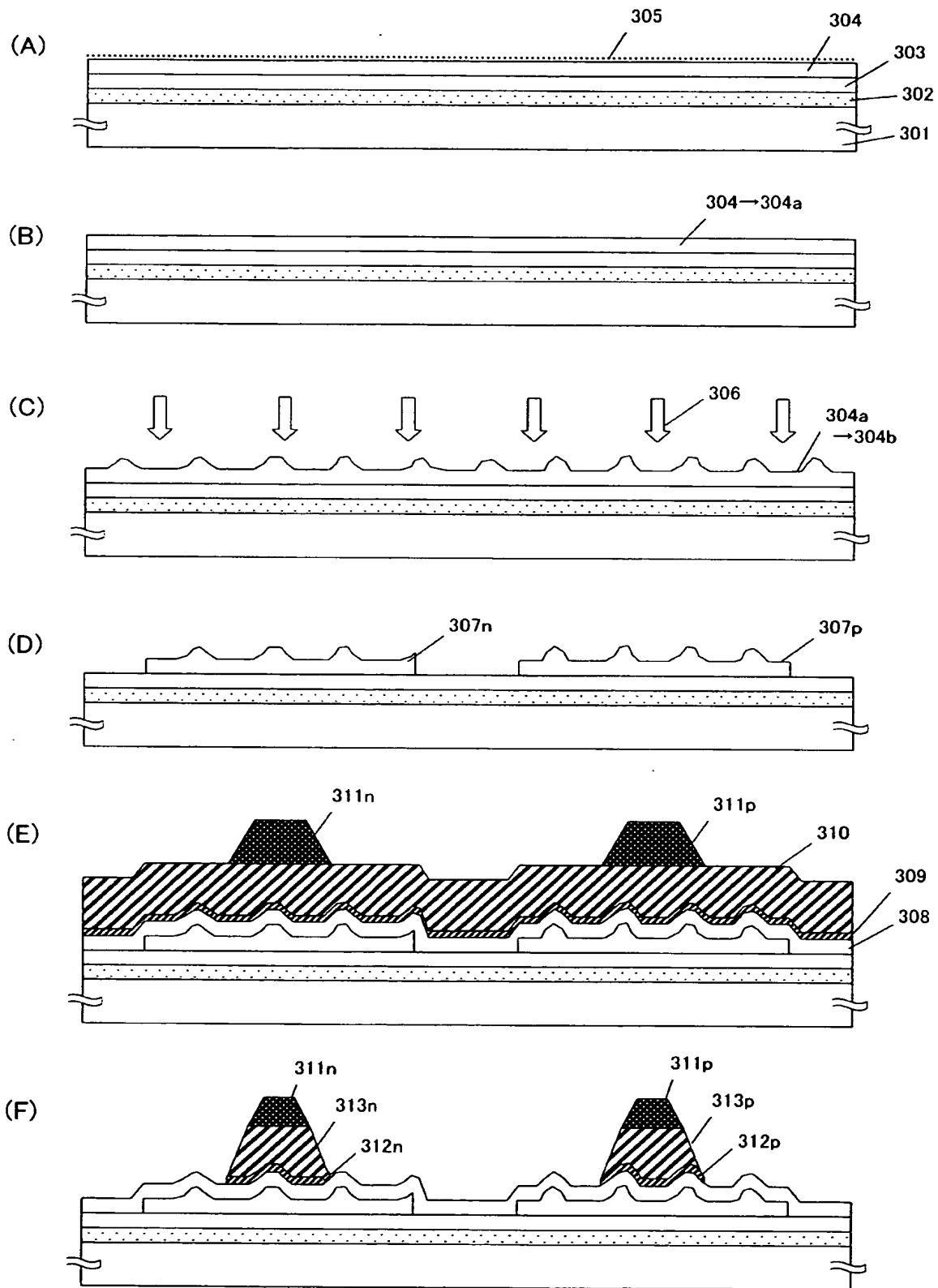
【図 2】



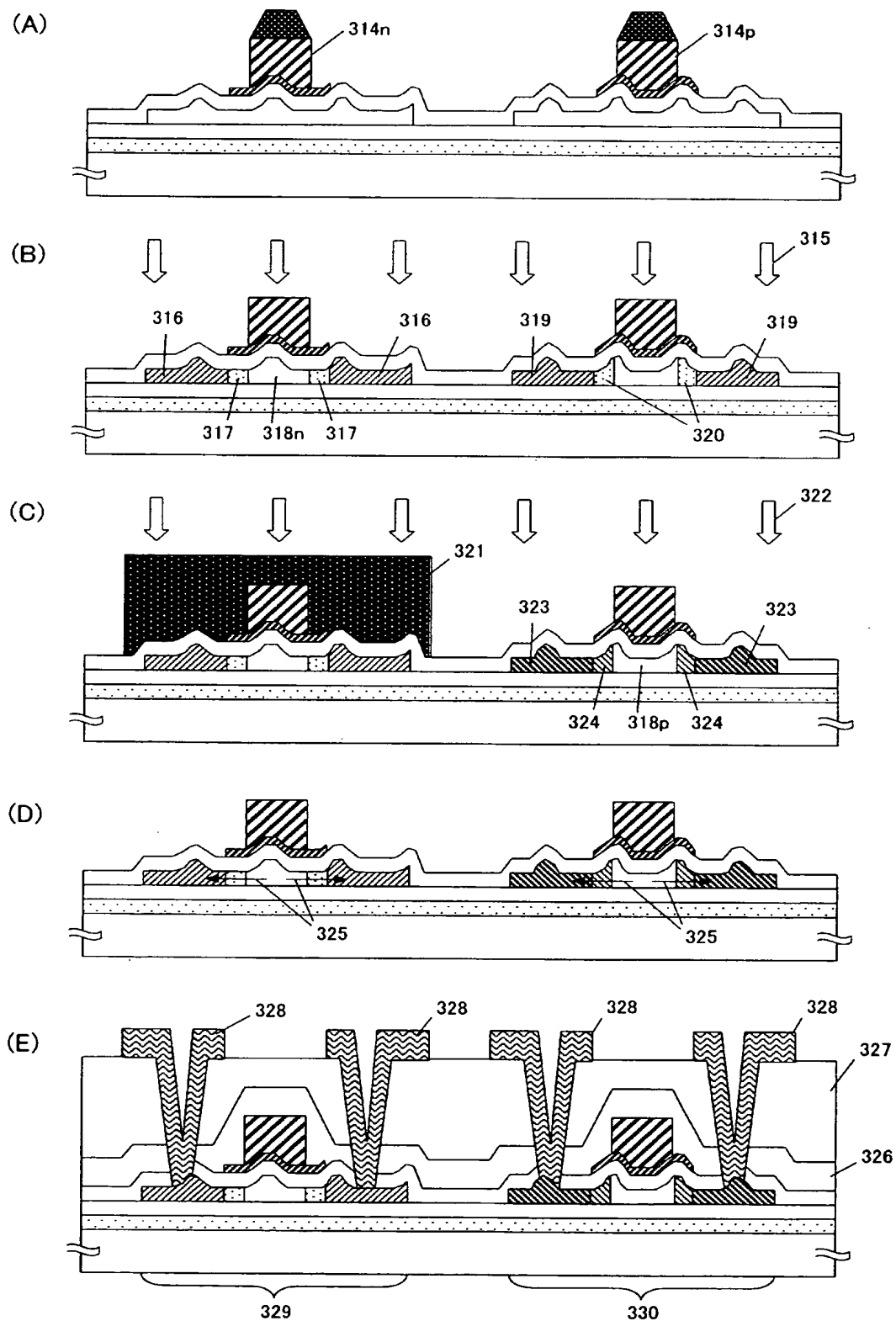
【図 3】



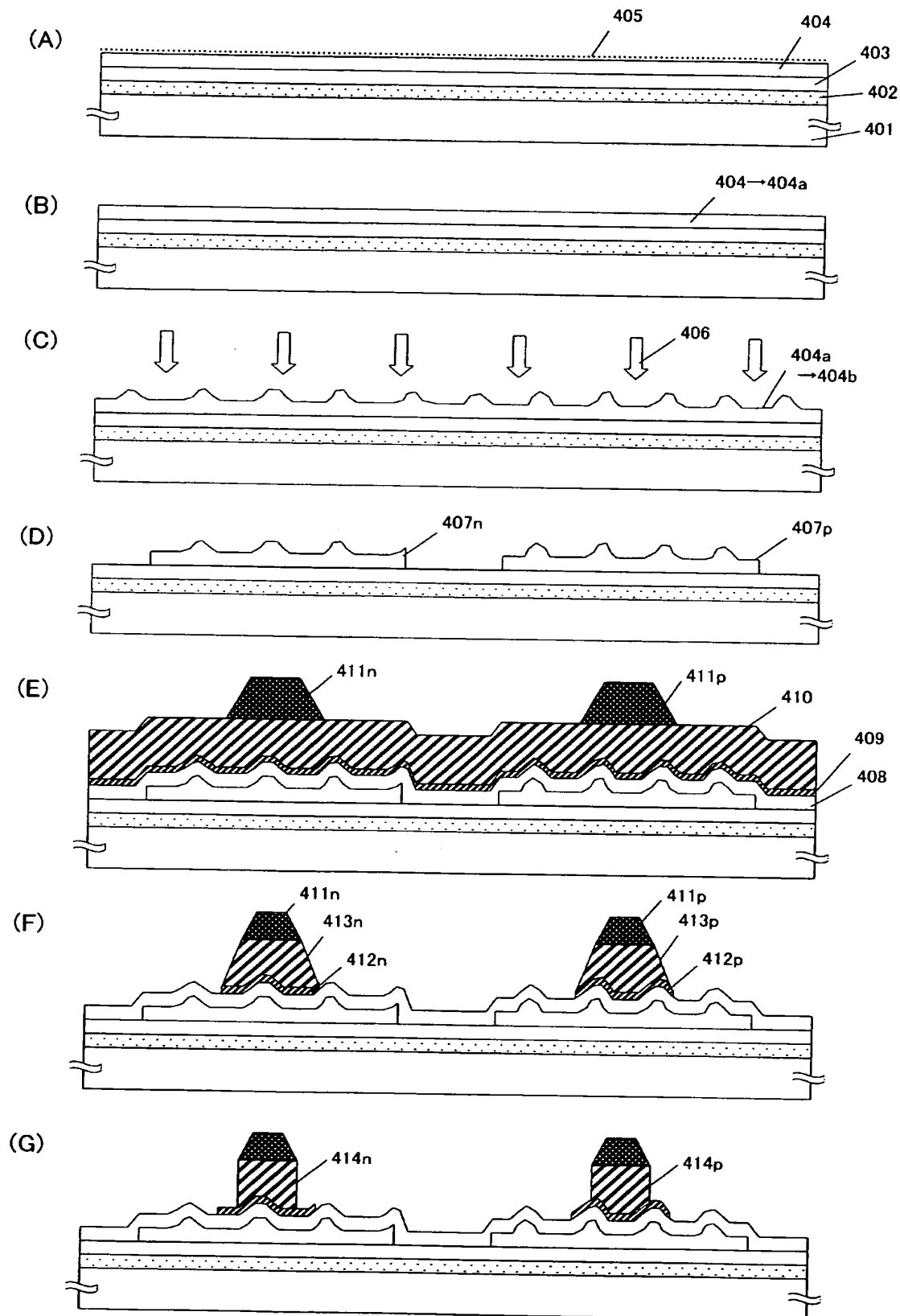
【図 4】



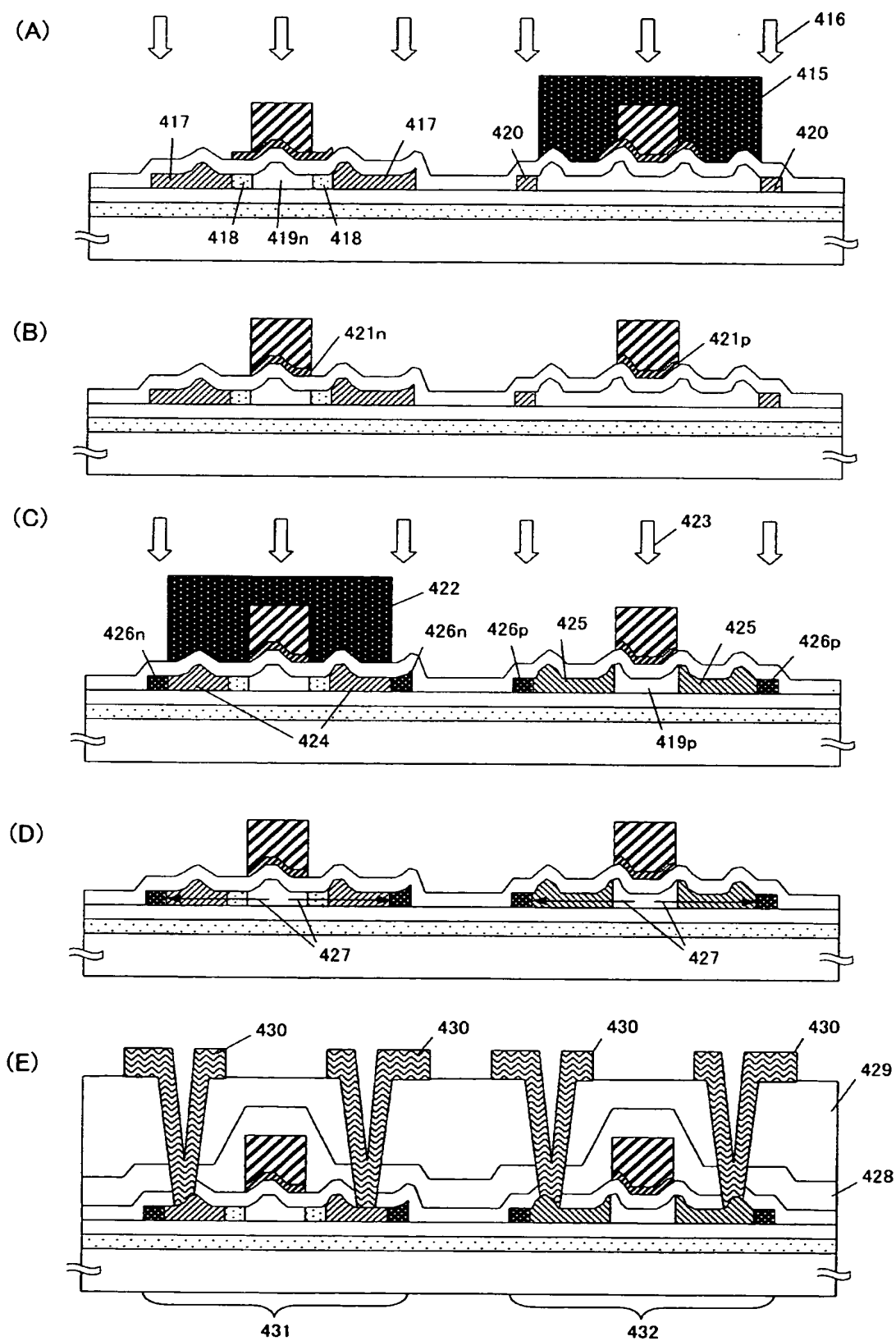
【図 5】



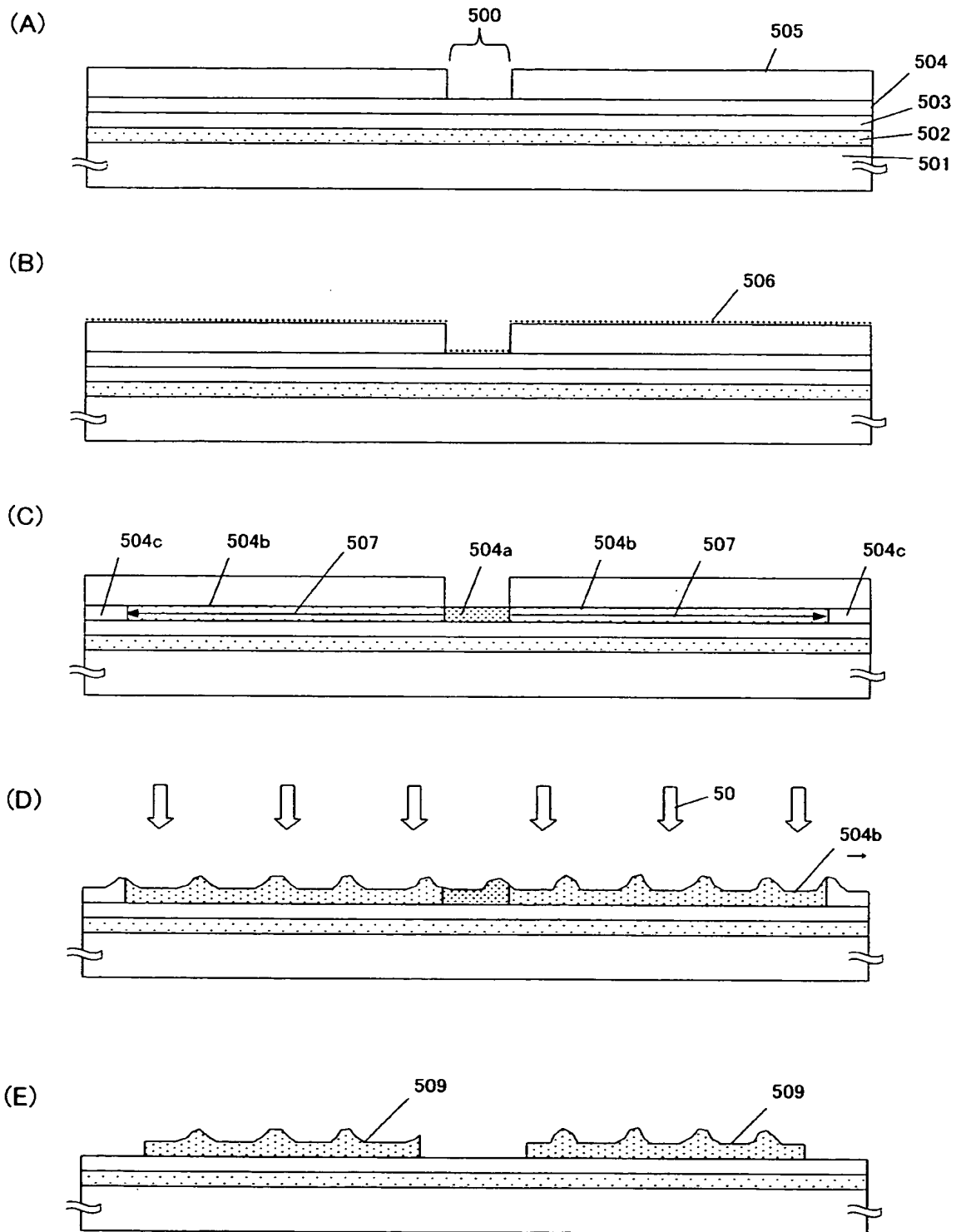
【図 6】



【図 7】

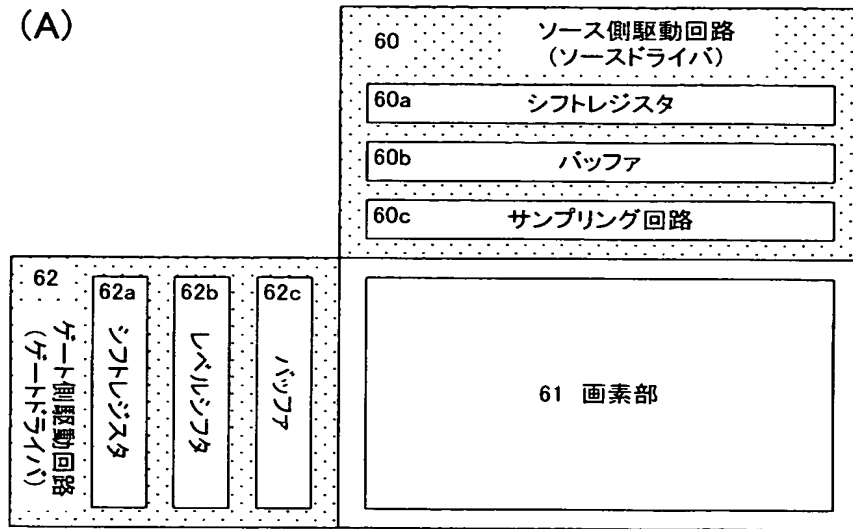


【図 8】

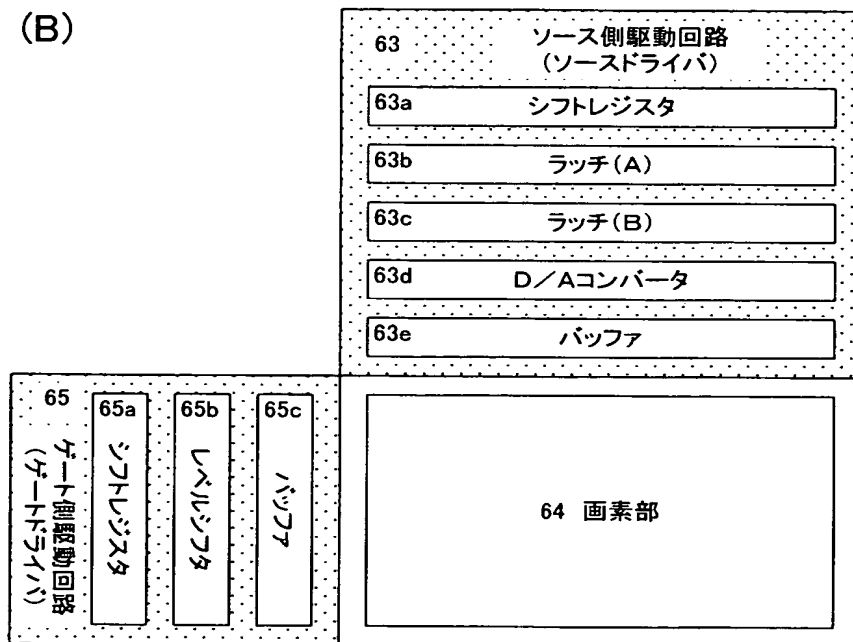


【図 9】

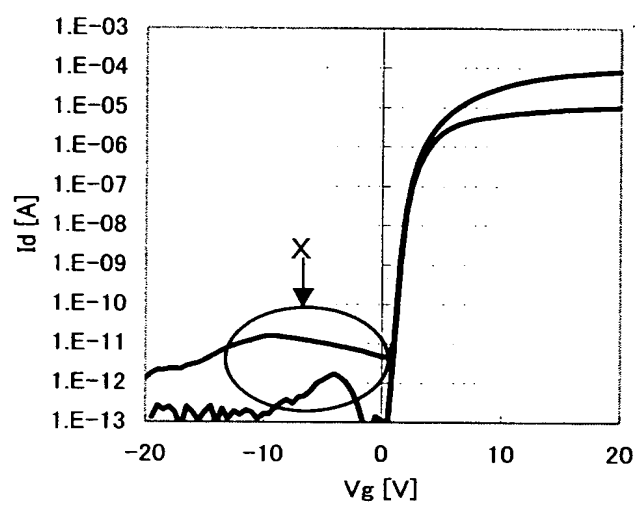
(A)



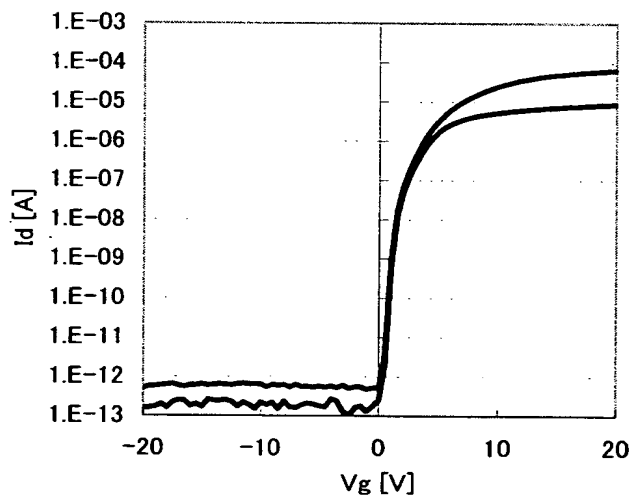
(B)



【図 10】

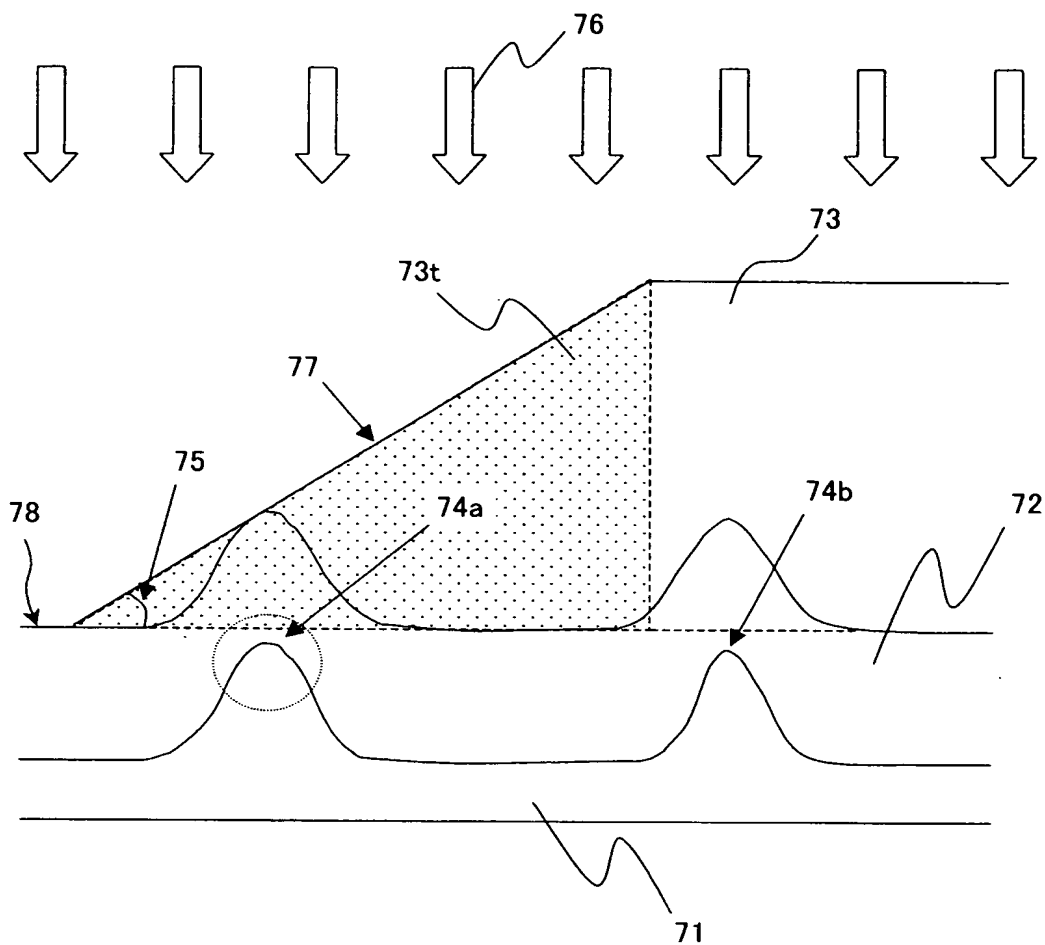


(A)

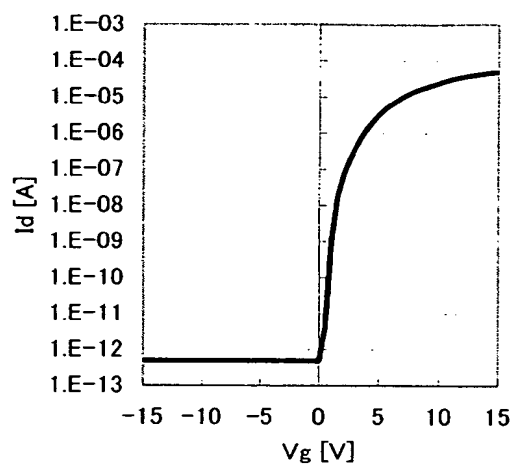


(B)

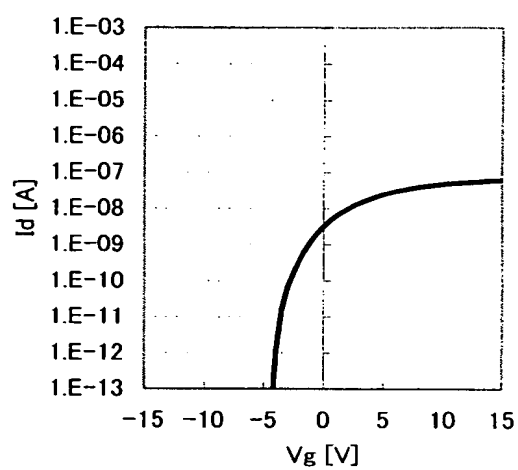
【図 11】



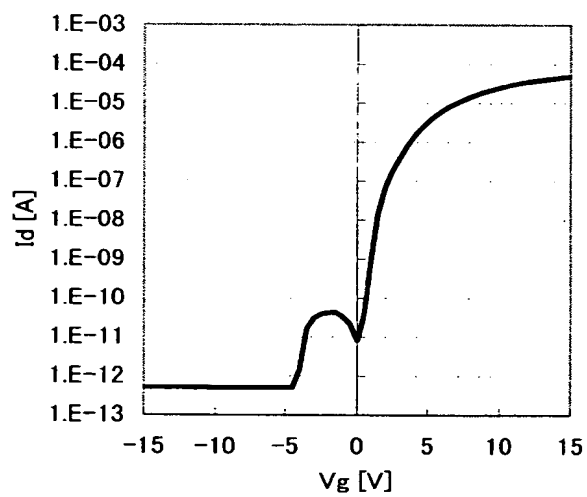
【図 12】



(A)

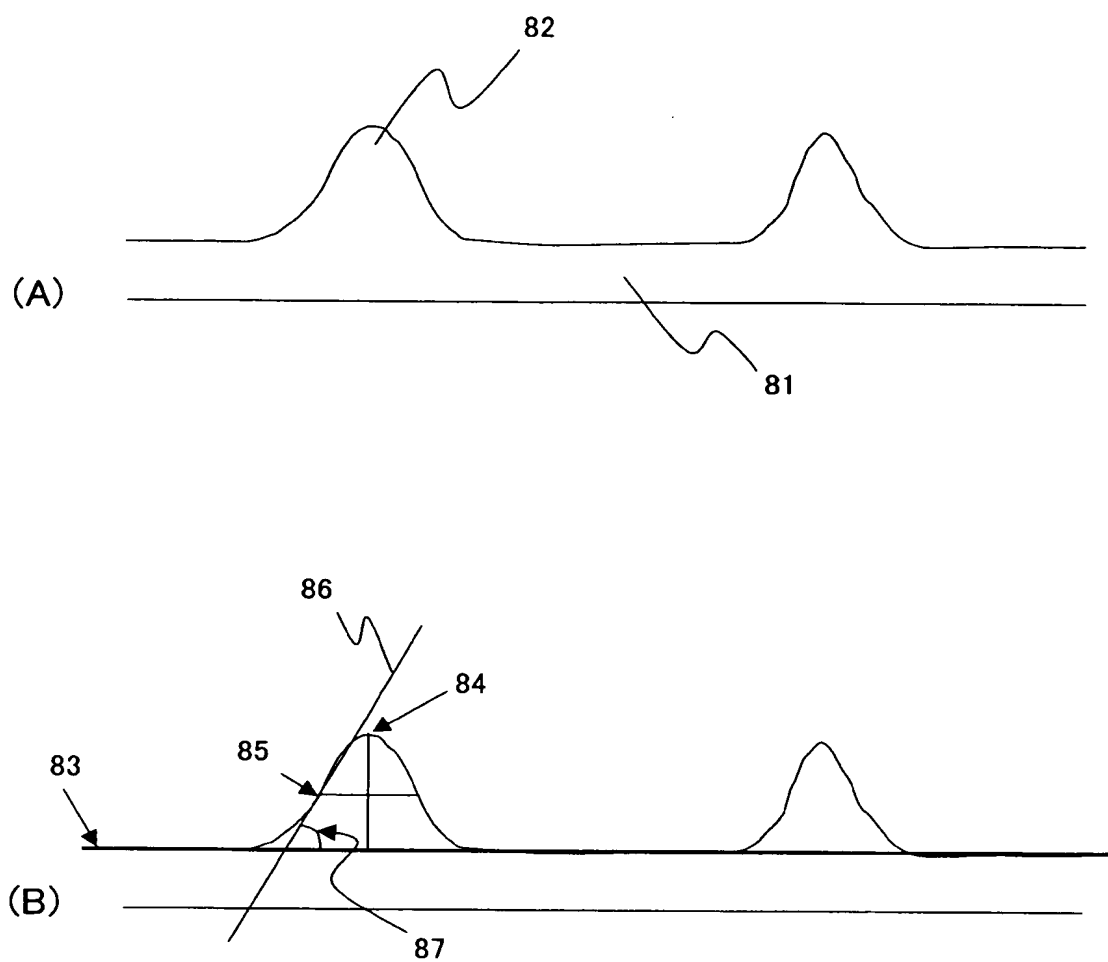


(B)

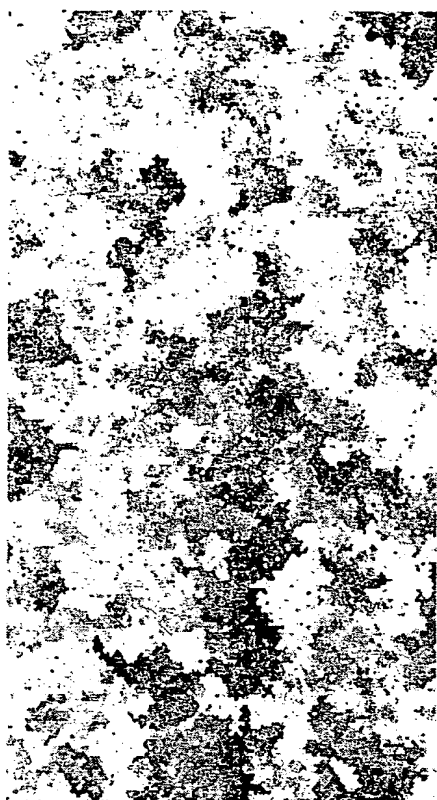


(C)

【図 13】

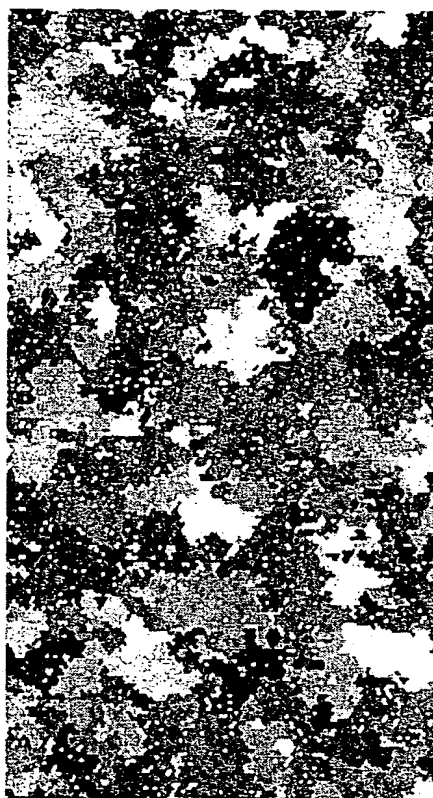


【図 15】



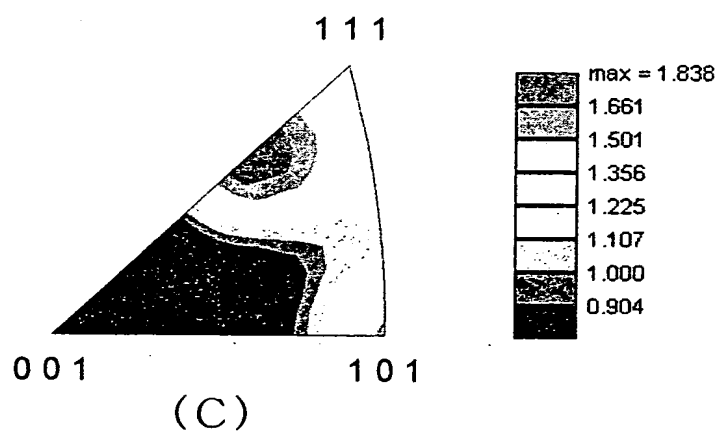
12.50 μm = 25 steps

(A)



12.50 μm = 25 steps

(B)



【書類名】 要約書

【要約】

【課題】 T F T オフ動作時にリーク電流が増大する現象を防止することにより、信頼性の高い半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、チャネル領域 1 1 0、ソース領域 1 1 5 およびドレイン領域 1 1 5 を含む半導体層と、半導体層上に設けられたゲート絶縁膜 1 0 7 と、チャネル領域の導電性を制御するゲート電極 1 0 8 とを有する薄膜トランジスタ 1 1 8 を備えており、半導体層の表面は微小な凸部を有しており、ゲート電極 1 0 8 の側面の傾斜角は半導体層の凸部の傾斜角よりも大きい。

【選択図】 図 1

特願 2 0 0 2 - 3 7 1 4 2 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社